

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-250913
 (43)Date of publication of application : 14.09.2001

(51)Int.CI. H01L 27/00
 H01L 21/3205

(21)Application number : 2000-287778	(71)Applicant : KOYANAGI MITSUMASA FUJI XEROX CO LTD
(22)Date of filing : 21.09.2000	(72)Inventor : KOYANAGI MITSUMASA OKANO TAISUKE MIYAGAWA NOBUAKI

(30)Priority

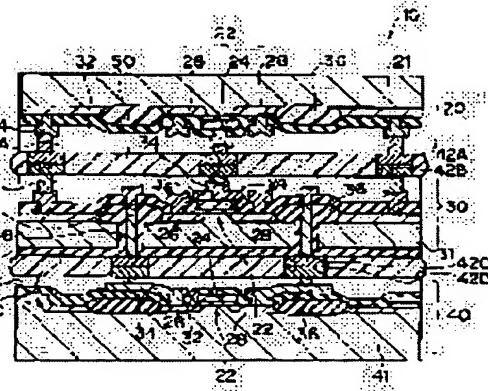
Priority number : 11375653 Priority date : 28.12.1999 Priority country : JP

(54) THREE-DIMENSIONAL SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a three-dimensional semiconductor integrated circuit device that is easily electrically connected, is not easily deformed, and is easily manufactured, and to provide its manufacturing method.

SOLUTION: A second semiconductor substrate 30 is laminated on a third semiconductor substrate 40, and a first semiconductor substrate 20 is laminated on the second semiconductor substrate 30. A second integrated circuit is formed on the surface layer of the second semiconductor substrate 30, the integrated circuit surface side of the second semiconductor substrate 30 is bonded to the integrated circuit surface side of the first semiconductor substrate 20, and the first integrated circuit that is formed on the surface layer of the first semiconductor substrate 20 is electrically connected to the second integrated circuit. Also, buried wiring 48 where one end is electrically connected to the second integrated circuit and the other is exposed from a back surface is formed on the semiconductor substrate 30, and a third integrated circuit that is formed on the surface layer of a third semiconductor substrate 40 is electrically connected to the second integrated circuit by the buried wiring 48.



LEGAL STATUS

[Date of request for examination] 18.06.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-250913

(P2001-250913A)

(43)公開日 平成13年9月14日(2001.9.14)

(51)Int.Cl.
H 01 L 27/00
21/3205

識別記号
301

F I
H 01 L 27/00
21/88

テマコード(参考)
301B 5 F 0 3 3
J

審査請求 未請求 請求項の数7 O.L (全8頁)

(21)出願番号 特願2000-287778(P2000-287778)
(22)出願日 平成12年9月21日(2000.9.21)
(31)優先権主張番号 特願平11-375653
(32)優先日 平成11年12月28日(1999.12.28)
(33)優先権主張国 日本 (JP)

(71)出願人 591272974
小柳 光正
宮城県名取市ゆりが丘1-22-5
(71)出願人 000005496
富士ゼロックス株式会社
東京都港区赤坂二丁目17番22号
(72)発明者 小柳 光正
宮城県名取市ゆりが丘1-22-5
(72)発明者 岡野 泰典
神奈川県足柄上郡中井町境430 グリーン
テクなかい 富士ゼロックス株式会社内
(74)代理人 100079049
弁理士 中島 淳 (外3名)

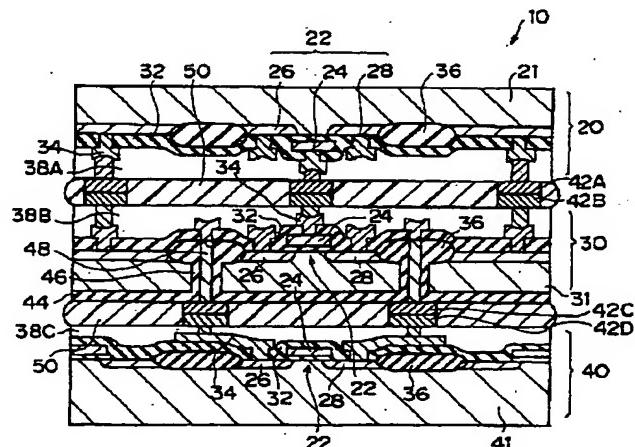
最終頁に続く

(54)【発明の名称】 3次元半導体集積回路装置及びその製造方法

(57)【要約】

【課題】電気的接続が容易で、変形を生じ難く、作製が容易な3次元半導体集積回路装置とその製造方法を提供する。

【解決手段】第3の半導体基板40上に第2の半導体基板30が積層され、第2の半導体基板30上に第1の半導体基板20が積層されている。第2の半導体基板30には表層に第2の集積回路が形成され、第2の半導体基板30の集積回路面側が第1の半導体基板20の集積回路面側に接着されて、第1の半導体基板20の表層に形成された第1の集積回路と第2の集積回路とが電気的に接続されている。また、第2の半導体基板30には一端が第2の集積回路に電気的に接続されかつ他端が裏面から露出された埋め込み配線48が形成され、第3の半導体基板40の表層に形成された第3の集積回路と第2の集積回路とが埋め込み配線48により電気的に接続されている。



【特許請求の範囲】

【請求項 1】 表層に第1の集積回路が形成された第1の半導体基板と、表層に第2の集積回路が形成されると共に、一端が該第2の集積回路に電気的に接続されかつ他端が裏面から露出された埋め込み配線が形成され、第1の集積回路と第2の集積回路とが電気的に接続されるように、集積回路面側が第1の半導体基板の集積回路面側に接着された第2の半導体基板と、表層に第3の集積回路が形成されると共に、該第3の集積回路が前記埋め込み配線の他端に電気的に接続されるように、集積回路面側が前記第2の半導体基板の裏面側に接着された第3の半導体基板と、を備えた3次元半導体集積回路装置。

【請求項 2】 表層に第1の集積回路が形成された第1の半導体基板と、表層に第2の集積回路が形成されると共に、一端が該第2の集積回路に電気的に接続されかつ他端が裏面から露出された埋め込み配線が形成され、第1の集積回路と第2の集積回路とが電気的に接続されるように、集積回路面側が第1の半導体基板の集積回路面側に接着された第2の半導体基板と、表層に第3の集積回路が形成されると共に、一端が該第3の集積回路に電気的に接続されかつ他端が裏面から露出された埋め込み配線が形成され、第3の集積回路が第2の半導体基板の埋め込み配線の他端に電気的に接続されるように、集積回路面側が前記第2の半導体基板の裏面側に接着された第3の半導体基板と、を備えた3次元半導体集積回路装置。

【請求項 3】 前記第1の集積回路と第2の集積回路、及び第3の集積回路と第2の半導体基板の埋め込み配線の他端が、コントラクト部材を介して電気的に接続されている請求項1または2に記載の3次元半導体集積回路装置。

【請求項 4】 表層に第1の集積回路が形成された第1の半導体基板と、表層に第2の集積回路が形成されると共に該第2の集積回路に電気的に接続された埋め込み配線が形成された第2の半導体基板と、第1の集積回路と第2の集積回路とが電気的に接続されるように、集積回路面同士を対向させて接着し、

第2の半導体基板の裏面側を研磨して前記埋め込み配線を露出させ、

表層に第3の集積回路が形成された第3の半導体基板の集積回路面を、該第3の集積回路が前記埋め込み配線の露出部に電気的に接続されるように、前記第2の半導体基板の裏面側に接着して、3次元半導体集積回路装置を製造する3次元半導体集積回路装置の製造方法。

【請求項 5】 第2の半導体基板がニ酸化ケイ素からなる絶縁層を内部に含むシリコン基板であり、第2の半導体基板の裏面側を該絶縁層まで研磨して前記埋め込み配

線を露出させる請求項4に記載の3次元半導体集積回路装置の製造方法。

【請求項 6】 半導体基板間に液状接着剤を注入することにより、第1の半導体基板と第2の半導体基板、及び第2の半導体基板と第3の半導体基板を接着する請求項4または5に記載の3次元半導体集積回路装置の製造方法。

【請求項 7】 前記液状接着剤がエポキシ系接着剤である請求項6に記載の3次元半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、3次元半導体集積回路装置及びその製造方法に関する。

【0002】

【従来の技術】 近年、半導体集積回路装置の高集積化・高密度化等の目的から、複数の回路機能ブロックを立体的に集積した3次元半導体集積回路装置の開発が進められている。3次元半導体集積回路装置は、当初はレーザ再結晶化等によるSOI(Silicon On Insulator)技術を利用して、SOI基板形成とSOI基板への半導体装置の形成を繰り返すモノリシック法によりその製造が検討されてきたが、SOIを多層に積層するには、結晶性の確保が難しい、製造時間が長い等の問題があった。

【0003】 このため、半導体装置または半導体集積回路装置が予め作製された単結晶半導体基板を貼り合わせる、貼り合わせ技術による3次元半導体集積回路装置の製造が種々検討されている。

【0004】 月刊セミコンダクターワールド(林善宏等、1990年9月号p58~64)には、貼り合わせ技術の一種として、研磨により薄膜化した半導体基板を貼り合わせるCUBIC技術が提案されている。CUBIC技術では、まずシリコン基板上に半導体素子の形成された第1の半導体基板を支持基板に接着した後、余分なシリコン基板をポリッシングして薄膜化する。次に、埋め込み配線、裏面配線、バンプ／ホールからなるコントラクト部材等のデバイスの縦方向の接続に必要な配線を形成し、第1の半導体基板とシリコン基板上に半導体素子の形成された第2の半導体基板とを接着する。最後に、支持基板を取り外して多層構造の半導体装置が完成する。

【0005】 また、特開平6-260594号公報には、貼り合わせ技術により形成された3次元半導体集積回路装置が開示されている。まずシリコン基板上に半導体素子が形成された第1の半導体基板を支持基板に接着した後、余分なシリコン基板をポリッシングして薄膜化するのはCUBIC技術と同様であるが、第1の半導体基板に予め埋め込み配線を形成するための深溝が設けられている点、及び第1の半導体基板とシリコン基板上に半導体素子の形成された第2の半導体基板とを貼り合わ

せ、貼り合わせ後に支持基板を取り除き、埋め込み配線を形成する点で、CUBIC技術とは異なっている。

【0006】

【発明が解決しようとする課題】しかしながら、いずれの製造方法も、第1の半導体基板を支持基板に貼り合わせ、研磨した後に支持基板から剥離する工程を含んでおり、製造工程が煩雑であるという問題があった。

【0007】また、CUBIC技術では、余分なシリコン基板をポリシングして薄膜化した後に支持基板を取り除くため、支持基板を取り除く際に半導体基板上に形成された集積回路が破損するという問題があった。

【0008】また、特開平6-260594号公報に開示の技術では、予め埋め込み配線を形成するための深溝が設けられた第1の半導体基板を支持基板に接着するため、深溝に入り込んだ接着剤の除去が困難であるという問題や、第1の半導体基板と第2の半導体基板とを接着した後に、深溝の側壁を酸化して絶縁膜を形成するため、接着剤の耐熱温度以上に酸化温度を上げることができず、信頼性のある絶縁膜を形成することができないという問題があった。

【0009】従って、本発明の目的は、電気的接続が容易で、変形を生じ難い3次元半導体集積回路装置を提供することにある。また、本発明の他の目的は、支持基板の着脱工程が不要で製造工程を大幅に簡略化することができ、簡素かつ容易な工程により半導体基板の多層積層が可能であり、信頼性の高い絶縁膜で囲まれた埋め込み配線を形成することができる3次元半導体集積回路装置の製造方法を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するために、請求項1に記載の3次元半導体集積回路装置は、表層に第1の集積回路が形成された第1の半導体基板と、表層に第2の集積回路が形成されると共に、一端が該第2の集積回路に電気的に接続されかつ他端が裏面から露出された埋め込み配線が形成され、第1の集積回路と第2の集積回路とが電気的に接続されるように、集積回路面側が第1の半導体基板の集積回路面側に接着された第2の半導体基板と、表層に第3の集積回路が形成されると共に、該第3の集積回路が前記埋め込み配線の他端に電気的に接続されるように、集積回路面側が前記第2の半導体基板の裏面側に接着された第3の半導体基板と、を備えたことを特徴とする。

【0011】請求項1の3次元半導体集積回路装置は、第1の半導体基板と第2の半導体基板とが、集積回路面同士を対向させて接着されているため、電気的に接続することが容易であり、その対称性の良さからそり等の基板の変形を生じ難い。また、埋め込み配線が基板を貫通するように形成されるため、基板厚さをある程度厚くすることができる。

【0012】請求項2に記載の3次元半導体集積回路裝

置は、表層に第1の集積回路が形成された第1の半導体基板と、表層に第2の集積回路が形成されると共に、一端が該第2の集積回路に電気的に接続されかつ他端が裏面から露出された埋め込み配線が形成され、第1の集積回路と第2の集積回路とが電気的に接続されるように、集積回路面側が第1の半導体基板の集積回路面側に接着された第2の半導体基板と、表層に第3の集積回路が形成されると共に、一端が該第3の集積回路に電気的に接続されかつ他端が裏面から露出された埋め込み配線が形成され、第3の集積回路が第2の半導体基板の埋め込み配線の他端に電気的に接続されるように、集積回路面側が前記第2の半導体基板の裏面側に接着された第3の半導体基板と、を備えたことを特徴とする。

【0013】請求項2の3次元半導体集積回路装置は、第3の半導体基板に埋め込み配線が形成されているので、第3の半導体基板の裏面側をさらに研磨して前記埋め込み配線を露出させ、表層に第4の集積回路が形成された第4の半導体基板の集積回路面を、該第4の集積回路が前記埋め込み配線の露出部に電気的に接続されるように、前記第3の半導体基板の裏面側に接着することにより、4層構成の3次元半導体集積回路装置を製造することができる。さらに同様の工程を繰り返すことにより、5層以上の3次元半導体集積回路装置を製造することができる。

【0014】前記第1の集積回路と第2の集積回路、及び第3の集積回路と第2の半導体基板の埋め込み配線の他端を、マイクロバンプ等のコンタクト部材を介して電気的に接続することができる。

【0015】前記第1の集積回路と第2の集積回路、及び第3の集積回路と第2の半導体基板の埋め込み配線の他端の電気的接続は、マイクロバンプ等のコンタクト部材を用いることで容易に行うことができる。

【0016】請求項4に記載の3次元半導体集積回路装置の製造方法は、表層に第1の集積回路が形成された第1の半導体基板と、表層に第2の集積回路が形成されると共に該第2の集積回路に電気的に接続された埋め込み配線が形成された第2の半導体基板とを、第1の集積回路と第2の集積回路とが電気的に接続されるように、集積回路面同士を対向させて接着し、第2の半導体基板の裏面側を研磨して前記埋め込み配線を露出させ、表層に第3の集積回路が形成された第3の半導体基板の集積回路面を、該第3の集積回路が前記埋め込み配線の露出部に電気的に接続されるように、前記第2の半導体基板の裏面側に接着すること、を特徴とする。

【0017】請求項4の3次元半導体集積回路装置の製造方法は、支持基板等を用いることなく、表層に第1の集積回路が形成された第1の半導体基板と、表層に第2の集積回路が形成されると共に該第2の集積回路に電気的に接続された埋め込み配線が形成された第2の半導体基板とを、第1の集積回路と第2の集積回路とが電気的

に接続されるように、集積回路面同士を対向させて直接接着するため、支持基板への接着工程、および支持基板からの除去工程が不要であり、製造工程を大幅に簡略化することができる。

【0018】また、表層に第2の半導体基板の裏面側を研磨して前記埋め込み配線を露出させ、表層に第3の集積回路が形成された第3の半導体基板の集積回路面を、該第3の集積回路が前記埋め込み配線の露出部に電気的に接続されるように、前記第2の半導体基板の裏面側に接着する、というように、研磨と接着とを繰り返す簡素かつ容易な工程により、半導体基板を何層でも積層することができる。

【0019】また、埋め込み配線を形成した後に半導体基板を接着するため、信頼性のある絶縁膜を形成することができる。

【0020】第2の半導体基板がニ酸化ケイ素からなる絶縁層を内部に含むシリコン基板であり、第2の半導体基板の裏面側を該絶縁層まで研磨して前記埋め込み配線を露出させることができると好ましい。

【0021】半導体基板としてニ酸化ケイ素からなる絶縁層を内部に含むシリコン基板を用いると、ニ酸化ケイ素はシリコンに比べて硬度が高いため研磨されにくく、絶縁層の手前で研磨を止めることが容易になる。

【0022】また、半導体基板間に液状接着剤を注入することにより、第1の半導体基板と第2の半導体基板、及び第2の半導体基板と第3の半導体基板を接着することが好ましく、前記液状接着剤としてはエポキシ系接着剤が特に好ましい。

【0023】半導体基板を接着する接着剤として液状接着剤を用いると、半導体基板間に均一に接着剤を注入することができる。液状接着剤の中でもエポキシ系液状接着剤は、3次元半導体集積回路装置の電気特性に悪影響を与える気泡を生じ難い。

【0024】

【発明の実施の形態】以下、本発明の3次元半導体集積回路装置の実施の形態を、図面を参照しつつ具体的に説明する。

【0025】本実施の形態の3次元半導体集積回路装置10は、図1に示すように、第1の半導体基板20、第2の半導体基板30、及び第3の半導体基板40の3つの半導体基板から構成され、第3の半導体基板40上に第2の半導体基板30が積層され、第2の半導体基板30上に第1の半導体基板20が積層されている。

【0026】第1の半導体基板20は、シリコン基板21とシリコン基板21上に形成された複数のMOSFET22（本実施の形態では1つのMOSFETのみを図示する）を含む第1の集積回路とからなり、MOSFET22は、ゲート24、ソース26、及びドレイン28から構成されている。MOSFET22のゲート24、ソース26、及びドレイン28は絶縁膜32により各々

絶縁されると共に、アルミニウム配線34に電気的に接続されている。また、隣接するMOSFET22は、ニ酸化ケイ素からなる素子分離膜36で分離されている。

【0027】第1の集積回路上にはポリイミドからなる絶縁膜38Aが設けられ、これにより第1の半導体基板20の表面は平坦化されている。第1の半導体基板20の集積回路面側の表面には、例えば金とインジウムとの合金、またはインジウム等の金属からなるマイクロバンプ42Aが形成され、マイクロバンプ42Aは第1のシリコン基板20内部のアルミニウム配線34と電気的に接続されている。なお、本実施の形態では絶縁膜38Aにポリイミドを用いたが、他の絶縁性有機材料や絶縁性無機材料を用いることもできる。

【0028】第2の半導体基板30は、裏面に絶縁層44が形成されたシリコン基板31と、シリコン基板31上に形成された複数のMOSFET22（本実施の形態では1つのMOSFETのみを図示する）を含む第2の集積回路と、から構成されている。MOSFET22のゲート24、ソース26、及びドレイン28は絶縁膜32により各々絶縁されると共に、アルミニウム配線34に電気的に接続されている。また、隣接するMOSFET22は、ニ酸化ケイ素からなる素子分離膜36で分離されている。

【0029】第2の集積回路上にはポリイミドからなる絶縁膜38Bが設けられ、これにより第2の半導体基板30の表面は平坦化されている。第2の半導体基板30の集積回路面側の表面には、例えば金とインジウムとの合金、またはインジウム等の金属からなるマイクロバンプ42Bが形成され、マイクロバンプ42Bは第2の半導体基板30内部のアルミニウム配線34と電気的に接続されている。なお、本実施の形態では絶縁膜38Bにポリイミドを用いたが、他の絶縁性有機材料や絶縁性無機材料を用いることもできる。

【0030】第2の半導体基板30のMOSFETとMOSFETとの間には、側壁が絶縁膜46によって被覆されたスルーホールが形成され、このスルーホール内に導電材料が充填されて埋め込み配線48が形成されている。埋め込み配線48は、その一端がアルミニウム配線34により第2の集積回路に電気的に接続されると共に、その他端が裏面に設けられた絶縁層44から露出されている。第2の半導体基板30の裏面側の表面には、例えば金とインジウムとの合金、またはインジウム等の金属からなるマイクロバンプ42Cが形成され、マイクロバンプ42Cは第2の半導体基板30の裏面に露出した埋め込み配線48と電気的に接続されている。なお、埋め込み電極48に使用する導電材料としては、多結晶シリコンやタンクステン等の高融点の金属を用いることができる。例えば、不純物をドープした0.4mΩ·cmと低抵抗の多結晶シリコンが好適に用いられる。

【0031】第3の半導体基板40は、シリコン基板4

1とシリコン基板41上に形成された複数のMOSFET22を含む第3の集積回路とから構成されている。MOSFET22のゲート24、ソース26、及びドレイン28は絶縁膜32により各々絶縁されると共に、アルミニウム配線34に電気的に接続されている。また、隣接するMOSFET22は、ニ酸化ケイ素からなる素子分離膜36で分離されている。

【0032】第3の集積回路上にはポリイミドからなる絶縁膜38Cが設けられ、これにより第3の半導体基板40の表面は平坦化されている。第3の半導体基板40の集積回路面側の表面には、例えば金とインジウムとの合金、またはインジウム等の金属からなるマイクロバンプ42Dが形成され、マイクロバンプ42Dは第3の半導体基板40内部のアルミニウム配線34と電気的に接続されている。なお、本実施の形態では絶縁膜38Cにポリイミドを用いたが、他の絶縁性有機材料や絶縁性無機材料を用いることもできる。

【0033】第1の半導体基板20の集積回路面側の表面に設けられたマイクロバンプ42Aと、第2の半導体基板30の集積回路面側の表面に設けられたマイクロバンプ42Bと、が接触するように重ね合わされ、基板と基板との隙間にエポキシ樹脂50が充填されて、第2の半導体基板30の集積回路面側が、第1の半導体基板の集積回路面側に接着されている。

【0034】また、第2の半導体基板30の裏面側の表面に設けられたマイクロバンプ42Cと、第3の半導体基板40の集積回路面側の表面に設けられたマイクロバンプ42Dと、が接触するように重ね合わされ、基板と基板との隙間にエポキシ樹脂50が充填されて、第3の半導体基板40の集積回路面側が、第2の半導体基板30の裏面側に接着されている。

【0035】本実施の形態の3次元半導体集積回路装置10は、以下の工程により製造することができる。

【0036】まず、第1の半導体基板20と第2の半導体基板30とを、並行して製造する。

【0037】第2の半導体基板30を作製するために、イオン打込みによりニ酸化ケイ素からなる絶縁層44が内部に形成されたSOI基板を用いて、基板上に絶縁膜32により絶縁されたゲート24、ソース26、及びドレイン28からなるMOSFET22が形成され、隣接するMOSFET22がニ酸化ケイ素からなる素子分離膜36で分離されたシリコン基板31を用意する。なお、ゲート24、ソース26、及びドレイン28上の絶縁膜32には、電極引き出し用のコンタクトホールがそれぞれ設けられている。

【0038】シリコン基板31の隣接する2つのMOSFETの間に、プラズマエッティングにより底部が絶縁層44より深い位置にあるトレンチ(深溝)を設け、このトレンチの側壁を酸化して、側壁が絶縁膜46によって被覆されたスルーホールを形成する。このスルーホール

に導電材料を充填して埋め込み電極48を形成する。

【0039】MOSFET22が形成されたシリコン基板31上に、スペッタリングにより配線となるアルミニウム膜を形成し、コンタクトホールを埋める。フォトリソグラフィーによりこのアルミニウム膜を加工して、所定のパターンに整形されたアルミニウム配線34を形成する。これにより、第2の半導体基板30の表層に第2の集積回路が形成される。

【0040】形成された第2の集積回路上に、ポリイミドからなる絶縁膜38Bを堆積させて第2の集積回路を被覆し、第2の半導体基板30の集積回路面側の表面を平坦化する。レジストマスクを用いて、絶縁膜38Bに反応性イオンエッティングにより開口を設け、絶縁膜38Bで覆われたアルミニウム配線34の一部を延長して表面に露出させる。最後に、露出したアルミニウム配線34と接触するように、レジストマスクを用いたリフトオフにより、集積回路面側の表面にマイクロバンプ42Bを形成して、図2に示す第2の半導体基板30を得る。

【0041】次に、第1の半導体基板20を作製するために、基板上に絶縁膜32により絶縁されたゲート24、ソース26、及びドレイン28からなるMOSFET22が形成され、隣接するMOSFET22がニ酸化ケイ素からなる素子分離膜36で分離されたシリコン基板21を用意する。なお、ゲート24、ソース26、及びドレイン28上の絶縁膜32には、電極引き出し用のコンタクトホールがそれぞれ設けられている。

【0042】MOSFET22が形成されたシリコン基板21上に、スペッタリングにより配線となるアルミニウム膜を形成し、コンタクトホールを埋める。フォトリソグラフィーによりアルミニウム膜を加工して、所定のパターンに整形されたアルミニウム配線34を形成する。これにより、第1の半導体基板20の表層に第1の集積回路が形成される。

【0043】形成された第1の集積回路上に、ポリイミドからなる絶縁膜38Aを堆積して第1の集積回路を被覆し、第1の半導体基板20の集積回路面側の表面を平坦化する。絶縁膜38Aに開口を設け、絶縁膜38Aで覆われたアルミニウム配線34の一部を延長して表面に露出させる。最後に、露出したアルミニウム配線34と接触するように、レジストマスクを用いたリフトオフにより、集積回路面側の表面にマイクロバンプ42Aを形成して、第1の半導体基板20を得る。

【0044】次に、図3に示すように、第2の半導体基板30の集積回路面を、第1の集積回路と第2の集積回路とが電気的に接続されるように、第1の半導体基板20の集積回路面に接着する。

【0045】第1の半導体基板20の集積回路面側の表面に設けられたマイクロバンプ42Aと、第2の半導体基板30の集積回路面側の表面に設けられたマイクロバンプ42Bと、が接触するように、第2の半導体基板3

0上に第1の半導体基板20を重ね合わせ、マイクロバンプ42Aとマイクロバンプ42Bとの仮接着を強固にするため、ロードセルにより圧力をモニターしながら基板間を均一に加圧する。なお、第1の半導体基板20と第2の半導体基板30との位置合わせは、シリコン基板を透過することができる赤外線を用いた位置合わせ装置により行う。

【0046】仮接着した第1の半導体基板20と第2の半導体基板30を、液状のエポキシ樹脂を保持した容器と共に、気圧調整が可能なチャンバーに入れてチャンバー内を真空にし、仮接着した第1の半導体基板20と第2の半導体基板30の一部を、液状のエポキシ樹脂にディップする。その後常圧に戻し、基板間の隙間のマイクロバンプの存在しない部分に液状のエポキシ樹脂50を注入する。基板を引き上げた後エポキシ樹脂50を硬化させて、第2の半導体基板30の集積回路面側を、第1の半導体基板20の集積回路面側に接着する。

【0047】次に、図4に示すように、第2の半導体基板30を裏面側から研磨して埋め込み配線48を露出させる。

【0048】第1の半導体基板20と貼り合わせた後の第2の半導体基板30を、裏面側から化学的機械研磨により均一な厚さに研磨する。絶縁層44を構成する二酸化ケイ素はシリコンよりも研磨耐性が大きいため、研磨は絶縁層44の手前で止まり、絶縁層44よりも深い位置まで形成されている埋め込み配線48が絶縁層44から露出する。露出した埋め込み配線48と接触するように、レジストマスクを用いたリフトオフにより、第2の半導体基板30の裏面側の表面にマイクロバンプ42Cを形成する。

【0049】次に、第3の半導体基板40を作製するために、基板上に絶縁膜32により絶縁されたゲート24、ソース26、及びドレイン28からなるMOSFET22が形成され、隣接するMOSFET22が二酸化ケイ素からなる素子分離膜36で分離されたシリコン基板41を用意する。なお、ゲート24、ソース26、及びドレイン28上の絶縁膜32には、電極引き出し用のコンタクトホールがそれぞれ設けられている。

【0050】MOSFET22が形成されたシリコン基板41上に、スパッタリングにより配線となるアルミニウム膜を形成し、コンタクトホールを埋める。フォトリソグラフィーによりアルミニウム膜を加工して、所定のパターンに整形されたアルミニウム配線34を形成する。これにより、第3の半導体基板40の表層に第3の集積回路が形成される。

【0051】形成された第3の集積回路上に、ポリイミドからなる絶縁膜38Cを堆積して第3の集積回路を被覆し、第3の半導体基板40の集積回路面側の表面を平坦化する。絶縁膜38Cに開口を設け、絶縁膜38Cで覆われたアルミニウム配線34の一部を延長して表面に

露出させる。最後に、露出したアルミニウム配線34と接触するように、レジストマスクを用いたリフトオフにより、集積回路面側の表面にマイクロバンプ42Dを形成して、第3の半導体基板40を得る。

【0052】次に、第3の半導体基板40の集積回路面を、第3の集積回路が埋め込み配線48の露出部に電気的に接続されるように、第2の半導体基板30の裏面側に接着して、図1に示す本実施の形態の3次元半導体集積回路装置10を得る。

【0053】第2の半導体基板30の裏面側の表面に設けられたマイクロバンプ42Cと、第3の半導体基板40の集積回路面側の表面に設けられたマイクロバンプ42Dと、が接触するように、第3の半導体基板40上に第2の半導体基板30を重ね合わせ、マイクロバンプ42Cとマイクロバンプ42Dとの仮接着を強固にするため、ロードセルにより圧力をモニターしながら基板間を均一に加圧する。

【0054】仮接着した第2の半導体基板30と第3の半導体基板40との隙間に液状のエポキシ樹脂50を注入し、エポキシ樹脂50を硬化させて、第3の半導体基板40の集積回路面側を、第2の半導体基板30の裏面側に接着する。なお、第2の半導体基板30と第3の半導体基板40との位置合わせ及び接着の方法は、第1の半導体基板20と第2の半導体基板30とを接着する場合と同様である。

【0055】上記実施の形態では、第3の半導体基板として、基板間の縦方向の接続に必要な埋め込み配線が形成されていない基板を積層した3層構成の3次元半導体集積回路装置としたが、第3の半導体基板として、第2の半導体基板と同様に、表層に第3の集積回路が形成されると共に、一端が該第3の集積回路に電気的に接続されかつ他端が裏面から露出された埋め込み配線が形成された基板を用い、第3の集積回路が第2の半導体基板の埋め込み配線の他端に電気的に接続されるように、第3の半導体基板の集積回路面側を前記第2の半導体基板の裏面側に接着することにより、さらに第4の半導体基板の積層が可能となり、4層以上の多層構成の3次元半導体集積回路装置を得ることができる。

【0056】上記実施の形態では、第1の集積回路と第2の集積回路、及び第3の集積回路と第2の半導体基板の埋め込み配線の端部を、マイクロバンプを介して電気的に接続したが、他のコンタクト部材により電気的に接続されていてもよい。また、上記実施の形態では、半導体基板の両方の表面にマイクロバンプを形成し、対向するマイクロバンプが重なり合うように2つの半導体基板を接着したが、図5に示すように、1つのマイクロバンプを介して電気的に接続されていてもよく、マイクロバンプはいずれか一方の基板に形成されればよい。

【0057】上記実施の形態では、研磨を受ける第2の半導体基板に使用するシリコン基板として、基板内部に

ニ酸化ケイ素からなる絶縁層44が挿入されたシリコン基板を使用したが、ニ酸化ケイ素からなる絶縁層44を含まないシリコン基板を使用してもよい。

【0058】なお、上記実施の形態において使用するシリコン基板は、ウエハスケールでもチップスケールでもよい。

[0059]

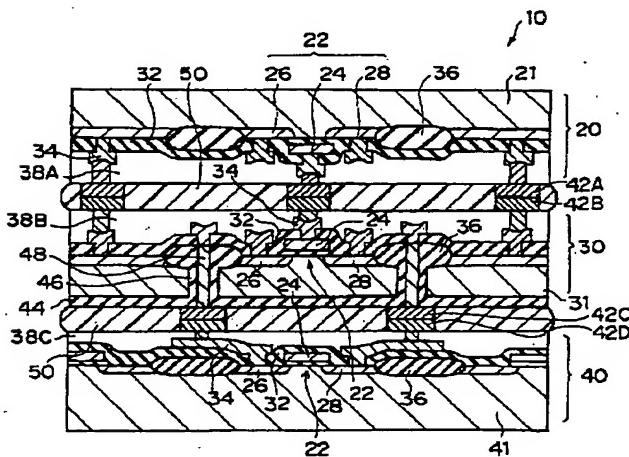
【発明の効果】本発明の3次元半導体集積回路装置は、電気的接続が容易で、変形を生じ難いという効果を奏する。また、本発明の3次元半導体集積回路装置の製造方法は、支持基板の着脱工程がなく合理的で、簡素かつ容易な工程により半導体基板の多層積層が可能であり、埋め込み配線に信頼性のある絶縁膜を形成することができるという効果を奏する。

【図面の簡単な説明】

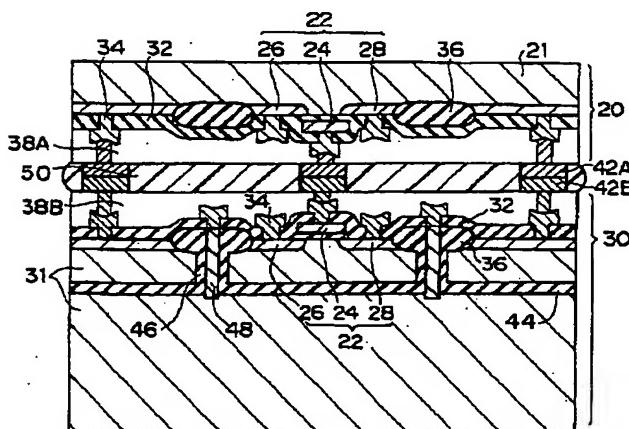
【図1】本実施の形態の3次元半導体集積回路装置の構成を示す概略断面図である。

【図2】本実施の形態の3次元半導体集積回路装置の製造工程を示す概略断面図である。

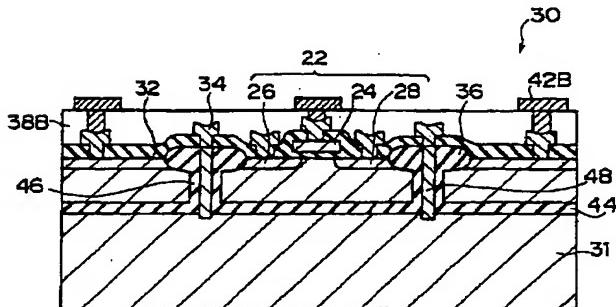
[図 1]



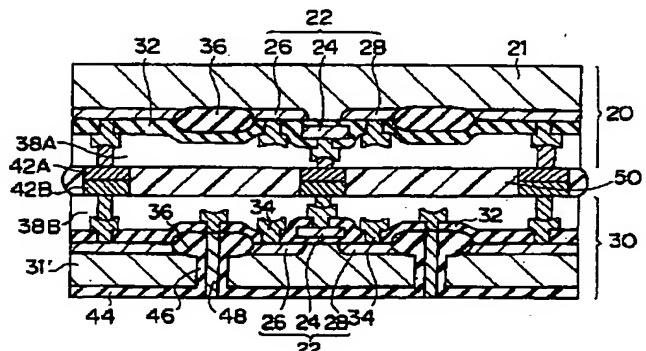
[图3]



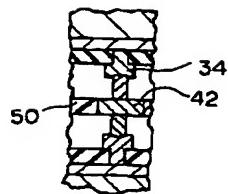
【図2】



【四四】



【図5】



フロントページの続き

(72) 発明者 宮川 宣明

神奈川県海老名市本郷2274番地 富士ゼロ

シクス株式会社海老名事業所

F ターム(参考) 5F033 HH08 JJ08 MM30 PP15 RR04

SS25 SS27 TT08 VV07

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-046057
(43)Date of publication of application : 14.02.2003

(51)Int.CI. H01L 25/065
H01L 21/3205
H01L 25/07
H01L 25/18

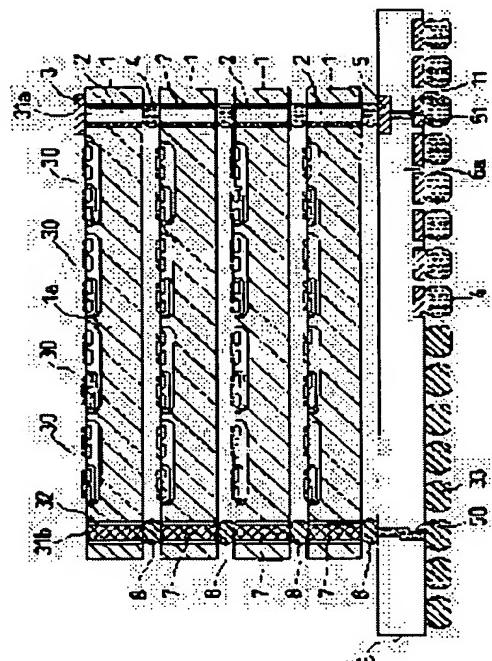
(21)Application number : 2001-227041 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 27.07.2001 (72)Inventor : FURUYAMA HIDETO

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device where a minimum mounting constitution and transmission speed of several tens of Gbps per wiring are realized.

SOLUTION: An LSI chip 1 is provided with a semiconductor substrate 1a, active elements 30 formed on a surface of the semiconductor substrate 1a, a penetration hole 31a which reaches a back of the semiconductor substrate 1a from the surface of the semiconductor substrate 1a, and a metal film or a dielectrics film which are formed in the inner wall of the penetration hole 31a. In this semiconductor device, a plurality of the LSI chips 1 are laminated and arranged. Signal transmission of the active elements 30, which is performed between the LSI chips 1 is executed by a signal light, through the penetration hole 31a arranged on the semiconductor substrate 1a.



LEGAL STATUS

[Date of request for examination] 27.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3725453

[Date of registration] 30.09.2005

〔Number of appeal against examiner's decision〕

[of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-46057

(P2003-46057A)

(43)公開日 平成15年2月14日 (2003.2.14)

(51)Int.Cl.⁷

H 01 L 25/065
21/3205
25/07
25/18

識別記号

F I

H 01 L 25/08
21/88

マーク⁷(参考)

Z 5 F 0 3 3
J S

審査請求 有 請求項の数 8 O L (全 11 頁)

(21)出願番号 特願2001-227041(P2001-227041)

(22)出願日 平成13年7月27日 (2001.7.27)

(出願人による申告) 国などの委託研究の成果に係る特許出願 (平成12年度新エネルギー・産業技術総合開発機構「超高密度電子S I技術の研究開発(エネルギー使用合理化)」委託研究、産業活力再生特別措置法第30条の適用を受けるもの

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 古山 英人

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74)代理人 100081732

弁理士 大胡 典夫 (外2名)

F ターム(参考) 5F033 HH08 HH11 HH13 MM30 PP27

PP28 RR01 RR04 RR21 VV00

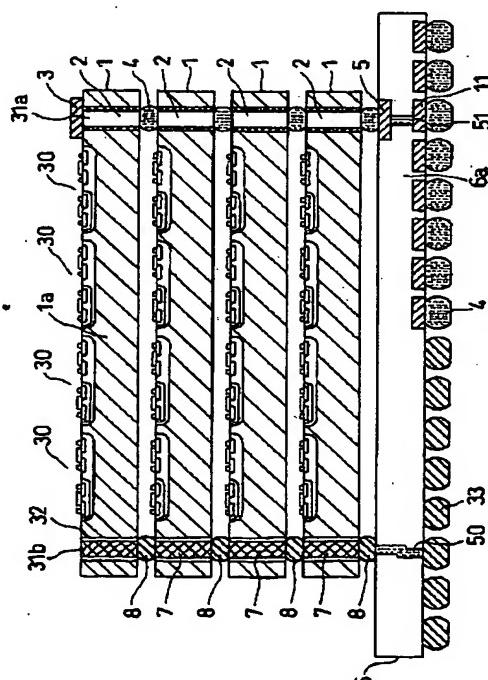
VV04

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 最小実装構成と配線あたり数10Gbpsの伝送速度を実現する半導体装置を提供することを目的とする。

【解決手段】 半導体基板1aと、半導体基板1a表面に形成された能動素子30と、半導体基板1a表面から半導体基板1a裏面に達する貫通孔31aと、貫通孔31a内壁に形成された金属膜或いは誘電体膜とを具備するLSIチップ1を複数積層配置する。LSIチップ1間の能動素子30の信号伝送が、半導体基板1aに設けられた貫通孔31aを通じた信号光で行われる。



【特許請求の範囲】

【請求項1】半導体基板と、前記半導体基板表面に形成された能動素子と、前記半導体基板表面から裏面に達する貫通孔内壁に形成された金属膜或いは誘電体膜とを具備するLSIチップが複数積層配置され、

前記LSIチップ間の前記能動素子の信号伝送が、前記貫通孔を通じた信号光で行われることを特徴とする半導体装置。

【請求項2】前記貫通孔内に設けられ、前記信号光に対して透明な充填材とを具備することを特徴とする請求項1記載の半導体装置。

【請求項3】前記LSIチップは、前記半導体基板上に形成され、前記貫通孔と光学的に接続された光素子を具備することを特徴とする請求項1記載の半導体装置。

【請求項4】前記LSIチップは、前記貫通孔における前記半導体基板の表面或いは裏面に設けられた発光素子或いは受光素子を具備することを特徴とする請求項1記載の半導体装置。

【請求項5】前記発光素子或いは前記受光素子は前記貫通孔の周辺に形成されていることを特徴とする請求項4記載の半導体装置。

【請求項6】前記LSIチップの前記貫通孔間に積層方向に位置合わせされ、前記貫通孔間に設けられた透明材料からなる球状或いは貫通孔方向に凸面を有する光接続バンプを具備することを特徴とする請求項1或いは請求項3記載の半導体装置。

【請求項7】前記LSIチップは、前記貫通孔における前記半導体基板の表面或いは裏面に設けられた発光素子或いは受光素子をそれぞれ具備し、前記発光素子或いは前記受光素子が対向するように前記LSIチップがそれぞれ位置合わせされ、前記貫通孔間に設けられた金属バンプとを具備することを特徴とする請求項1記載の半導体装置。

【請求項8】電力を供給し信号光を伝送することが可能な光電気複合インターポーラ上に前記LSIチップが搭載され、前記光電気複合インターポーラによって前記LSIチップに電力が供給され、かつ信号光が伝送されることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関する。

【0002】

【従来の技術】バイポーラトランジスタや電界効果トランジスタ等の電子デバイスが微細化されることにより、LSIチップは動作速度が飛躍的に速くなってきていく。

【0003】しかしながら、LSIチップ内部の電子デバイスは高速化されてきているものの、LSIチップを実装するプリント基板での動作速度はLSIチップの動

作速度より低く抑えられている。

【0004】これは電子デバイスの動作周波数が上昇することに伴いプリント基板に形成された電気配線により伝送損失や雑音、電磁障害が増大するためである。したがって信号品質を劣化させないために、電気配線装置全体としてはプリント基板等の長い配線ほど動作周波数を下げる必要がある。

【0005】このように現在のところ電気配線装置全体では、LSIチップの動作速度を向上しても、実装技術において速度低下を余儀なくされるという問題があり、LSIチップの動作速度よりも実装技術がシステム全体の動作速度を支配する傾向が近年益々強まってきている。

【0006】そこでシステム全体の動作速度を向上するために実装技術で電気配線を短くすることが重要である。この解決策の一つとして、システム要素を可能な限りLSIチップ内に収容していくSOS(System on Silicon)の開発が進められている。しかしながら、SOSにおいてはLSIチップの集積規模が肥大化し易く、回路設計やレイアウト設計負荷の巨大化、製造歩留りに起因するチップ収率悪化や検査工程長大化などによるコストの増大が起りやすい問題を持っている。

【0007】また、別の方法として、複数のLSIチップを極力短い配線で実装するために、LSIチップをペアチップのまま実装し、1つのパッケージに収容するSIP(System in Package)技術の開発も盛んになりつつある。SIPは、LSIチップの設計や製造が従来と同じでありながら、チップ間配線長を短く且つ特定の配線形式で接続できるため高速動作が容易という利点がある。中でも、実装面積や配線長を極限まで縮小可能な3次元実装、即ち、LSIチップを積層して実装する方法が究極的な実装技術として注目されている。

【0008】図15に、このような3次元実装LSIの例を示す。

【0009】図15に示すように、CMOS等の能動素子30が表面に形成されたLSIチップ1が4層積層配置されている。それぞれのLSIチップ1には表面から裏面にかけて貫通孔31が設けられている。この貫通孔31の内壁には絶縁膜32が形成されており、貫通孔31の内部には貫通電極7が充填されている。

【0010】それぞれのLSIチップ1は、貫通孔31に対して積層方向に位置合わせられており、金属バンプ8により固定されている。それぞれのLSIチップ1表面に形成されている能動素子30は図示しない表面配線により貫通孔31に形成された貫通電極7と接続されている。また、それぞれのLSIチップ1は金属バンプ8により電気的に接続され、電気信号を伝送することができる。

【0011】このように3次元実装されたLSIチップ1は、ボード実装のためのインターポーラ6上に搭載されている。このインターポーラ6には、図示しない表面配線やコンタクトホールによって、裏面に形成された金属パンプ33と搭載しているLSIチップ1とを電気的に接続している。

【0012】

【発明が解決しようとする課題】上記した従来の3次元実装された半導体装置では、LSIチップ1に形成された貫通電極7にて寄生容量が十分抑制されず、寄生インダクタンスと合わせた寄生L C R効果による波形劣化や波形歪が大きく、また貫通電極7の金属の表皮効果による抵抗の周波数依存性があり、実質的な伝送能力として配線あたり数Gbps程度が限界であった。

【0013】本発明は、このような問題を解決するため成されたものであり高速化の限界を排除して配線あたり数十Gbps以上の高速伝送を可能とする半導体装置を提供することを目的とする。

【0014】

【課題を解決するための手段】上記目的を解決するために、本発明は、半導体基板と、前記半導体基板表面に形成された能動素子と、前記半導体基板表面から裏面に達する貫通孔内壁に形成された金属膜或いは誘電体膜とを具備するLSIチップが複数積層配置され、前記LSIチップ間の前記能動素子の信号伝送が、前記貫通孔を通じた信号光で行われることを特徴とする半導体装置を提供する。

【0015】このとき、前記貫通孔内に設けられ、前記信号光に対して透明な充填材を具備することが好ましい。

【0016】また、前記LSIチップは、前記半導体基板上に形成され、前記貫通孔と光学的に接続された光素子を具備することが好ましい。

【0017】また、前記LSIチップは、前記貫通孔における前記半導体基板の表面或いは裏面に設けられた発光素子或いは受光素子を具備することが好ましい。

【0018】また、前記発光素子或いは前記受光素子は前記貫通孔の周辺に形成されていることが好ましい。

【0019】また、前記LSIチップの前記貫通孔間に位置合わせされ、前記貫通孔間に設けられた透明材料からなる球状或いは貫通孔方向に凸面を有する光接続パンプを具備することが好ましい。

【0020】また、前記LSIチップは、前記貫通孔における前記半導体基板の表面或いは裏面に設けられた発光素子或いは受光素子をそれぞれ具備し、前記発光素子或いは前記受光素子が対向するように前記LSIチップがそれぞれ位置合わせされ、前記貫通孔間に設けられた金属パンプとを具備することが好ましい。

【0021】また、電力を供給し信号光を伝送することができる光電気複合インターポーラ上に前記LSIチッ

プが搭載され、前記光電気複合インターポーラによって前記LSIチップに電力が供給され、かつ信号光が伝送されることが好ましい。

【0022】本発明では、論理回路、アナログ回路などが集積されているLSIチップの基板表面から基板裏面に達する貫通孔を設け、貫通孔内壁に金属膜或いは誘電体膜などをコーティングし、前記LSIチップを複数個積層し、積層したLSIチップ間の信号伝送を、前記貫通孔を通じた光信号伝送で行うようにしたものである。

【0023】

【発明の実施の形態】以下、本発明の実施形態について図を参照しながら説明する。

【0024】図1は、本発明の第1の実施形態にかかる半導体装置の断面図である。

【0025】図1に示すように、半導体基板1a表面にCMOS等の能動素子30が形成されたLSIチップ1が4層積層配置されている。それぞれのLSIチップ1には半導体基板1a表面から裏面にかけて貫通孔31a及び31bが設けられている。

【0026】貫通孔31aの内壁には金属膜或いは絶縁体膜からなる光反射用のコーティングが形成され、光に対して透明な樹脂からなる充填材2が充填されている。最上段のLSIチップ1の貫通孔31a上には発光素子3が形成されている。この発光素子3と能動素子30とは図示しない表面配線により接続され電気的な信号をやり取りできる。

【0027】貫通孔31aは、例えば20μm径でLSIチップ1の厚さ（例えば50μm）を貫通するように形成すればよい。貫通孔31aの内壁には、リーク電流を抑制するためのバッシベーション膜（例えばSiO₂を厚さ0.2μm）を内面にコーティングする。次に、このバッシベーション膜上に光反射用のコーティングとして、例えば反射金属（Al、Cu、Au等）を例えば厚さ0.1μm形成する。光反射用のコーティングは、代わりに誘電体多層膜を用いることもできる。また、発光素子3の光放射角があまり広くない場合などはバッシベーション膜のみでも構わない。

【0028】一方、貫通孔31bの内壁には絶縁膜32が形成され、Cu、Al、Au等のメッキによる貫通電極7が充填されている。この貫通電極7は、能動素子30と図示しない表面配線により接続され電力を供給する。

【0029】それぞれのLSIチップ1は、貫通孔31a及び31bに対して積層方向に位置合わせされている。貫通孔31aでは、光に対して透明な樹脂からなる光接続パンプ4によって固定されている。貫通孔31bでは、半田金属等の金属パンプ8により固定されている。それぞれのLSIチップ1は、貫通孔31a及び光接続パンプ4を通じて信号光を伝送することができる。また、貫通孔31bの貫通電極7及び金属パンプ8を通

じて電力供給することができる。

【0030】このように3次元実装されたLSIチップ1は、ボード実装のための電気接続端子及び光接続端子を備えた光電気複合インターボーザ6上に搭載されている。この光電気複合インターボーザ6の基板6aの裏面には、金属パンプ3と光接続パンプ4が形成されている。また、基板6a上には図示しない表面配線が形成されコンタクトホール50によって、最下段のLSIチップ1の金属パンプ8と裏面に形成された金属パンプ3とが電気的に接続されている。

【0031】また、この光電気複合インターボーザ6の基板6aには、図示しない光導波路配線が形成されており、光電気複合インターボーザ6での光配線が可能になっている。また、基板6a上に形成された受光素子5がこの下に形成されたコンタクトホール51によって、基板6a裏面に形成された光送信素子11に電気接続され、基板6a裏面下部の光接続パンプ4が図示しない実装ボードの光導波路と光学的に結合されている。また、最下段のLSIチップ1の光接続パンプ4を光電気複合インターボーザ6の図示しない光導波路や貫通孔により、基板6a裏面下部の光接続パンプ4と光学的に結合することもできる。

【0032】ここで光電気複合インターボーザ6は、LSIチップ1と外部の実装ボードとの光学的な接続及び電気的な接続を可能とするための中間的な基板である。この光電気複合インターボーザ6を設けることで、実装ボードに実装しやすくできる。

【0033】次に、図2に、図1に示す貫通孔31aの拡大図を示す。

【0034】図2に示すように、LSIチップ1の半導体基板1aの端部に貫通孔31aが形成されている。貫通孔31aの内壁には、絶縁膜からなるバッジベーション膜10が形成されている。バッジベーション膜10上には、光反射用のコーティング9が形成されている。

【0035】このような貫通孔31aは多モードの光導波管となるが、伝送距離がLSIチップの半導体基板1aの基板厚程度と非常に短いためモード分散等による伝送帯域制限は殆ど問題にならない。また、ここでは透明な充填材は形成しない例を示したが、貫通孔31aは内部に透明な樹脂、ガラス等の充填材料2を設け、ごみ等の進入を防止するようにしても良い。

【0036】本実施形態に示す半導体装置では、LSIチップ1の半導体基板1の表面から裏面に掛けて貫通孔31aを形成し、この貫通孔31aによりLSIチップ間を光接続している。貫通孔31a内壁には光反射用のコーティングが形成されているため、貫通孔31a外への光リークが少なく、他の光接続路と干渉するがない。したがって光接続路のピッチを非常に狭く、且つ、非常に多数の並列数で形成することができる。

【0037】尚、貫通孔31aの径は、あまり大きいと

後で説明する受光素子の受光径を大きくしなければならず、1Gb/s以上の配線とするには貫通口径を50μm以下に制限することが望ましい。また、通常のLSI外部接続パッドのピッチが100μm程度であり、同等の端子数(貫通口数)を確保しながらチップ強度を保つためにもこの制限が望ましい。

【0038】次に、本実施形態による半導体装置の具体的な応用例として、最上段のLSIチップがマスタークロックを発生するマスターとし、2段目以下のLSIチップがマスタークロックに同期して動作するスレーブとして、クロック分配機能を示すマスタースレーブ型半導体装置について説明する。

【0039】図3は、図1に示す最上段のLSIチップ1(マスター)に装着された発光素子3を半導体基板1aの貫通孔31a上に実装したときの構成を示した図であり、(a)に上面図、(b)に断面図を示す。

【0040】図3に示すように、LSIチップ(マスター)の半導体基板1aに形成された貫通孔31aの上部に発光素子(例えば面発光レーザ等の高速発光素子)3が装着されている。この発光素子3と半導体基板1aとの間に、発光素子3を駆動するための電極12が形成されている。この電極12は、最上段のLSIチップ(マスター)に設けられた図示しないドライバー回路に接続される。

【0041】図4は、図1に示す2段目以下のLSIチップ1(スレーブ)の半導体基板1aの貫通孔31a周辺部に形成された受光素子52であり、(a)に上面図、(b)に断面図を示す。

【0042】図4に示すように、LSIチップ(スレーブ)の半導体基板1aに形成された貫通孔31aの上部に受光素子52(例えばPINフォトダイオード等)が形成されている。

【0043】この受光素子52は、半導体基板1aがn型とすると、貫通孔31aの周辺にi型受光層13が形成されている。このi型受光層13中にはp型拡散層14が形成されている。p型拡散層14上には電極15が形成されている。この電極15はLSIチップ1に設けられた受信再生回路に接続されている。

【0044】このようにして形成された受光素子52に、上段から信号光(図4(b)矢印)が入力するとi型受光層13で光電変換されて電気信号として電極15に伝送される。すなわち図1に示す最上段のLSIチップ1(マスター)から貫通孔31aを通ってきた信号光の一部が、2段目以降のLSIチップ1(スレーブ)の貫通孔31aの周辺部に形成された受光素子52のリング状に形成された受光領域(p型拡散層14下部)に入射する。そして受光素子52により光信号から電気信号に変換され、この段のLSIチップ1(スレーブ)に形成された能動素子30へと信号伝達する。

【0045】また、一部の信号光は、LSIチップ1

(スレーブ) の貫通孔31aからさらに下段に通過され、さらに下段のLSIチップ(スレーブ)に信号光を伝送する。

【0046】次に、図5に、貫通孔31a間を光接続するための光バンプ16の形成方法について説明する。

【0047】先ず、図5(a)に示すように、シリコーンなどの透明樹脂により形成された球状バンプ16を下段のLSIチップ1に設けられた貫通孔31a上に置く。

【0048】次に、図5(b)に示すように、上段のLSIチップ1の貫通孔31aに球状バンプ16を位置合わせて、圧着することにより両LSIチップ1の貫通孔31aを光バンプ16によって接続する。

【0049】このとき、貫通孔31a内に押し込められた光バンプ16の表面が貫通孔31a方向に凸面を持つようになると、レンズ作用により光結合効率を向上させることができる。

【0050】次に、図6に、図4で説明したスレーブに用いたLSIチップの受光素子52について、素子サイズの関係を模式的に示す。

【0051】図6(a)は、最上段直下のLSIチップ(スレーブ)、図6(b)は中間のLSIチップ(スレーブ)、図6(c)は最下段のLSIチップ(スレーブ)(図1ではインターボーザ上の受光素子5を示す)である。31aは貫通孔、14は受光領域を示す。

【0052】図6に示すように、下段に行くほど貫通孔31aの径が小さくなっている。こうすることで各段の受光素子52の入射パワーを均一化することができる。このとき、貫通孔31aの径は上段の貫通孔31aの径と透過パワーの割合で決めればよい。

【0053】また、受光素子52の受光領域14の径は上段の貫通孔31aの径とLSIチップの積層精度、即ち、貫通孔31aの合わせ精度により決定すればよい。

【0054】このように構成された図1に示す半導体装置について、LSIチップ(マスター)のクロック信号が、下段の2段目以降のLSIチップ(スレーブ)に到達する時間を求める。LSIチップ厚を50μm、積層時の光バンプ厚を10μmとすると、2段目のLSIチップ(スレーブ)で約0.22ps、最下段のインターボーザで約0.88psと、2段目と最下段の時間差が0.66ps、即ち、1ps以内の時間差となる。これはクロック同期の時間マージンを10%以内と厳しくしても、100GHz以上のクロックでの同期動作が可能ということに相当し、電気配線による3次元実装では到底実現し得ない高速同期動作が実現可能となる。

【0055】次に、本発明の第2の実施形態にかかる半導体装置について説明する。本実施形態では、積層されたLSIチップの中間段同士で光接続を行う場合の構成例を示す。

【0056】図7、図8は上段LSIチップから下段L

SIチップに信号光を伝送する場合の発光素子17(図7(a)上面図、(b)断面図)及び受光素子19(図8(a)上面図、(b)断面図)が半導体基板1a上に形成された構成を示す図である。

【0057】図9、図10は下段LSIチップから上段LSIチップに信号光を伝送する場合の発光素子17(図10(a)上面図、(b)断面図)及び受光素子19(図9(a)上面図、(b)断面図)が半導体基板1a上に形成された構成を示す図である。

【0058】先ず、図7及び図10において、発光素子17(例えば面発光レーザ等の高速発光素子)は、p型光閉じ込め層/活性層/n型光閉じ込め層の3層で形成されている。このp型光閉じ込め層/活性層/n型光閉じ込め層を囲むように電流制限領域18が形成されている。電流制限領域18は、例えばGaAs系、InP系発光素子の場合、プロトン又はボロンの注入による高抵抗領域である。この電流制限領域18は、3層構造の発光領域に電流を集中させるためのものである。p型光閉じ込め層/活性層/n型光閉じ込め層の3層構造上には、能動領域の電極12が形成されている。電流制限領域18は、貫通孔31aの形成時、又は貫通孔31aの形成後、貫通孔31aに位置合わせして形成することができる。これにより、異種材料からなる発光素子を粗調搭載した後に精密な位置合わせを半導体プロセス技術により行うことができる。

【0059】図7及び図10においては、p型光閉じ込め層/活性層/n型光閉じ込め層の下にある電極は省略しているが、これは光素子をLSIチップと同種材料でモノリシック形成する場合や異種材料を直接接着して形成する場合等を想定したものであり、貫通孔31a以外の部分に電極を設けて半田接続、金属接続を用いて形成しても構わない。

【0060】次に、図8及び図9において、受光素子19(例えばPINフォトダイオード等)は、n型層/i型受光層/n型層の3層で形成されている。p型領域20は、例えばGaAs系、InP系受光素子の場合、Zn拡散等により形成される。能動領域の周辺には電極15が形成されている。受光領域を規定するp型領域20は、貫通孔の形成時、又は貫通孔の形成後、貫通孔に位置合わせして形成することができる。これにより、異種材料からなる発光素子を粗調搭載した後に精密な位置合わせを半導体プロセス技術により行うことができる。但し、p型拡散層の形成には高温プロセスが伴うため、予めn型層、i型受光層、p型層の構成としておき、位置合わせしてp型領域をメサエッチングする方法で形成することも可能である。

【0061】図8及び図9では、光素子下面の電極は省略しているが、これは光素子をLSIチップと同種材料でモノリシック形成する場合や異種材料を直接接着して形成する場合等を想定したものであり、貫通孔以外の部

分に電極を設けて半田接続、金属接続を用いて形成しても構わない。

【0062】次に、図11に、これらの光素子を用いて構成した第2の実施形態に係る半導体装置を示す。

【0063】図11は、積層チップの周辺領域（外部接続パッド領域）の断面を想定したものであり、通常LSIチップのボンディングパッドの代わりに、給電用の貫通電極7、信号接続用の貫通孔31aが配置され、下方接続用光素子（図7、図8）、又は上方接続用光素子（図9、図10）の組み合わせが各LSIチップに配置されている様子を示している。

【0064】図11に示すように、半導体基板1a表面にCMOS等の能動素子（図示せず）が形成されたLSIチップ1が4層積層配置されている。それぞれのLSIチップ1には半導体基板1a表面から裏面にかけて貫通孔31a及び31bが設けられている。

【0065】貫通孔31aの内壁には金属膜或いは絶縁体膜からなる光反射用のコーティングが形成されている。この貫通孔31a内部には、光に対して透明な樹脂を充填してもよい。貫通孔31a上或いは下には、図7乃至図10で説明した発光素子17或いは受光素子19等の光素子が形成されている。この光素子と半導体基板1a上に形成された図示しない能動素子とは図示しない表面配線により接続され電気的な信号をやり取りできる。

【0066】貫通孔31aは、例えば $20\text{ }\mu\text{m}$ 径でLSIチップ1の厚さ（例えば $50\text{ }\mu\text{m}$ ）を貫通する長さに形成すればよい。貫通孔31bの内壁には、リーク電流を抑制するためのバッシャーベーション膜（例えばSiO₂を厚さ $0.2\text{ }\mu\text{m}$ ）を内面にコートする。次に、このバッシャーベーション膜上に光反射用のコーティングとして、例えば反射金属（Al、Cu、Au等）を例えば厚さ $0.1\text{ }\mu\text{m}$ 形成する。光反射用のコーティングは、代わりに誘電体多層膜を用いることもできる。また、発光素子の光放射角があまり広くない場合などはバッシャーベーション膜のみでも構わない。

【0067】一方、貫通孔31bの内壁には絶縁膜32が形成され、Cu、Al、Au等でメッキされた貫通電極7が充填されている。この貫通電極7は、半導体基板1a上に形成された図示しない能動素子と図示しない表面配線により接続され電力を供給する。

【0068】貫通孔31aでは、光に対して透明な樹脂からなる光接続バンプ4によって固定されている。貫通孔31bでは、半田金属等の金属バンプ8により固定されている。それぞれのLSIチップ1は、貫通孔31a及び光接続バンプ4を通じて信号光を伝送することができる。また、貫通孔31bの貫通電極7及び金属バンプ8を通じて電力供給することができる。

【0069】このように3次元実装されたLSIチップ1は、ボード実装のための電気接続端子及び光接続端子

を備えた光電気複合インターボーザ6上に搭載されている。この光電気複合インターボーザ6には、図示しない表面配線やコンタクトホール及び光導波路によって、裏面に形成された金属バンプ33とLSIチップ1とを電気的に接続し、また6a下部の光接続バンプ4とLSIチップ1との間で電気又は光による信号伝送を可能としている。

【0070】ここで光電気複合インターボーザ6は、第1の実施形態で説明したものと同様であり、LSIチップ1の信号を実装ボードに電機接続又は光接続する機能がある。

【0071】図1に示す第1の実施形態では、最上段のLSIチップ1（マスター）から送出する信号を中間及び最下段のLSIチップ1（スレーブ）が受動的に受けただけであり、特定の用途に応用が限定される。この実施形態では各段のLSIチップ1が任意の段のLSIチップ1に対して信号を送れるため、その制限がなくなる。これにより、マイクロプロセッサチップとメモリチップの積層モジュール、マルチプロセッサモジュールなど、高速チップ間配線が必要な用途に適用可能となり、また、各貫通孔の光接続速度として貫通孔あたり 10 Gbps から 50 Gbps といった高速配線が可能であるため、従来にない高速のシステム構築が可能となる。

【0072】次に、図12及び図13に、第3の実施形態にかかる半導体装置に用いるLSIチップの構造を示す。

【0073】この実施例は、図12及び図13に示すように、1つのLSIチップに発光素子17と受光素子19を貫通孔31aの上下に設けたものである。

【0074】図12は、半導体基板1aに形成された貫通孔31aの上部に発光素子17が形成され下部に受光素子19が形成されている。これは上部で発せられた信号光が下部に伝えられるものである。

【0075】図13は、逆に、半導体基板1aに形成された貫通孔31aの上部に受光素子19が形成され下部に発光素子17が形成されている。これは下部で発せられた信号光が上部に伝えられるものである。

【0076】その他の構造は図7乃至図10に示す発光素子17及び受光素子19と同一であり、その符号の説明は省略する。

【0077】これらの構造では、LSIチップ裏面に電気接続パッドを設け、裏面側光素子はその電気接続パッドに接続される。このLSIチップを積層する場合、LSIチップ間の接続は金属バンプを用いた電気的な接続となる。従って、光接続はLSIチップ内部に閉じられており、LSI外部には電気的な接続が行われるだけとなる。

【0078】図14に、図12及び図13で説明した構造のLSIチップを積層した第3の実施形態にかかる半導体装置の断面図を示す。

【0079】図14に示すように、半導体基板1a表面にCMOS等の能動素子(図示せず)が形成されたLSIチップ1が4層積層配置されている。それぞれのLSIチップ1には半導体基板1a表面から裏面にかけて貫通孔31a及び31bが設けられている。

【0080】貫通孔31aの内壁には金属膜或いは絶縁膜からなる光反射用のコーティングが形成されている。この貫通孔31a内部には、光に対して透明な樹脂を充填してもよい。貫通孔31a上或いは下には、図12乃至図13で説明した発光素子17或いは受光素子19等の光素子が形成されている。この光素子と半導体基板1a上に形成された図示しない能動素子とは図示しない表面配線により接続され電気的な信号をやり取りできる。

【0081】貫通孔31aは、例えば20μm径でLSIチップ1の厚さ(例えば50μm)を貫通する長さに形成すればよい。貫通孔31bの内壁には、リーク電流を抑制するためのバッシベーション膜(例えばSiO₂を厚さ0.2μm)を内面にコートする。次に、このバッシベーション膜上に光反射用のコーティングとして、例えば反射金属(A1、Cu、Au等)を例えば厚さ0.1μm形成する。光反射用のコーティングは、代わりに誘電体多層膜を用いることもできる。また、発光素子の光放射角があまり広くない場合などはバッシベーション膜のみでも構わない。

【0082】一方、貫通孔31bの内壁には絶縁膜32が形成され、Cu、Al、Au等でメッキされた貫通電極7が充填されている。この貫通電極7は、半導体基板1a上の図示しない能動素子と図示しない表面配線により接続され電力を供給する。

【0083】貫通孔31a及び貫通孔31bは、半田金属等の金属バンプ8により固定されている。LSIチップ1は、貫通孔31a及び発光素子17及び受光素子19を通じて信号光を伝送することができる。また、貫通孔31bの貫通電極7及び金属バンプ8を通じて電力供給することができる。

【0084】このように3次元実装されたLSIチップ1は、ボード実装のための電気接続端子及び光接続端子を備えた光電気複合インターボーナス上に搭載されている。この光電気複合インターボーナスには、第1の実施形態と同様である。

【0085】図14から分るように、LSIチップ1の積層実装が電気バンプ8を用いた接続だけといった従来と同様の実装方式が適用できる。しかしLSIチップ1の内部の配線が光接続であるため、高速の貫通電極を用いた3次元実装と等価となり、実装方法が従来と同等でありながら格段に高速の配線が実現できるといった特徴を持つ。

【0086】

【発明の効果】本発明では、LSIチップの表裏の配線

を光配線とすることで、3次元実装されたLSIチップを具備する半導体装置を大幅に高速化することを可能とする。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態にかかる半導体装置の断面図。

【図2】 本発明の第1の実施形態にかかる半導体装置のLSIチップに形成された貫通孔の拡大図。

【図3】 本発明の第1の実施形態にかかる半導体装置の最上段のLSIチップ(マスター)に装着された発光素子の実装構成を示した図であり、(a)は上面図、(b)は断面図である。

【図4】 本発明の第1の実施形態にかかる半導体装置の2段目以下のLSIチップ1(スレーブ)に形成された受光素子であり、(a)は上面図、(b)は断面図である。

【図5】 本発明の第1の実施形態にかかる半導体装置の積層するLSIチップの貫通孔間を光接続するための光バンプの形成方法を説明するための概略図。

【図6】 本発明の第1の実施形態にかかる半導体装置の受光素子を示す概略図であり、(a)は上層、(b)は中間層、(c)は下層のLSIチップ(スレーブ)である。

【図7】 本発明の第2の実施形態に用いる発光素子を示す概略図であり、(a)は上面図、(b)は断面図である。

【図8】 本発明の第2の実施形態に用いる受光素子を示す概略図であり、(a)は上面図、(b)は断面図である。

【図9】 本発明の第2の実施形態に用いる受光素子を示す概略図であり、(a)は上面図、(b)は断面図である。

【図10】 本発明の第2の実施形態に用いる発光素子を示す概略図であり、(a)は上面図、(b)は断面図である。

【図11】 本発明の第2の実施形態にかかる半導体装置の断面図。

【図12】 本発明の第3の実施形態に用いる光接続路を示す概略図。

【図13】 本発明の第3の実施形態に用いる光接続路を示す概略図。

【図14】 本発明の第3の実施形態にかかる半導体装置の断面図。

【図15】 従来の半導体装置の断面図。

【符号の説明】

1 . . . LSIチップ

1a . . . 半導体基板

2 . . . 透明樹脂

3 . . . 発光素子

4 . . . 光バンプ

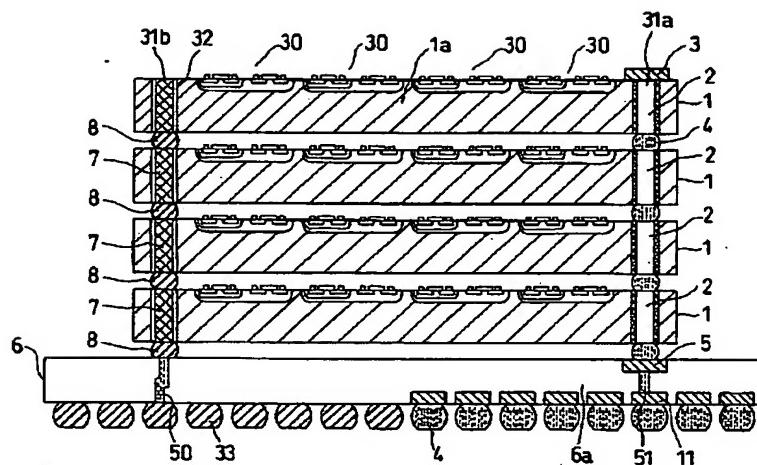
13

- 5 . . . 受光素子
- 6 . . . インターポーザ
- 7 . . . 貫通電極
- 8 . . . 金属バンプ
- 9 . . . 金属コーティング
- 10 . . . バッシャベーション膜
- 11 . . . 光送信素子
- 12 . . . 電極
- 13 . . . 受光層
- 14 . . . 拡散領域
- 15 . . . 電極

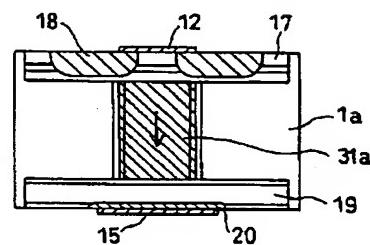
14

- * 16 . . . 透明樹脂(光バンプ)
 - 17 . . . 発光素子
 - 18 . . . 電流制限領域
 - 19 . . . 受光素子
 - 20 . . . 拡散領域
 - 30 . . . 能動素子
 - 31a, 31b . . . 貫通孔
 - 33 . . . 金属バンプ
 - 50, 51 . . . コンタクトホール
 - 10 52 . . . 受光素子
- *

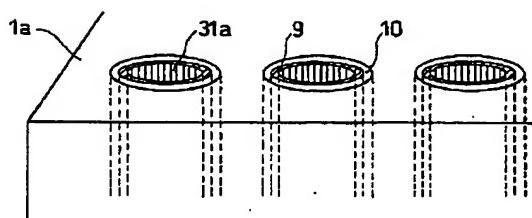
【図1】



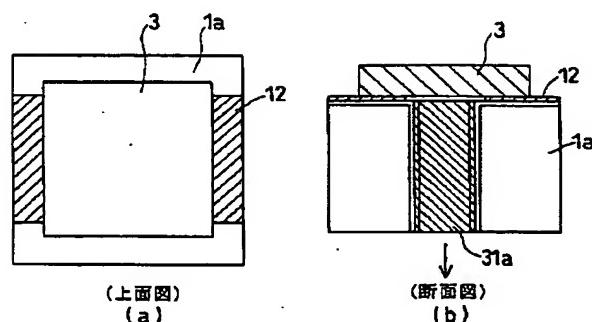
【図12】



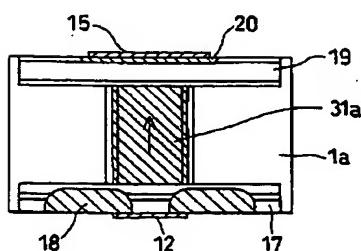
【図2】



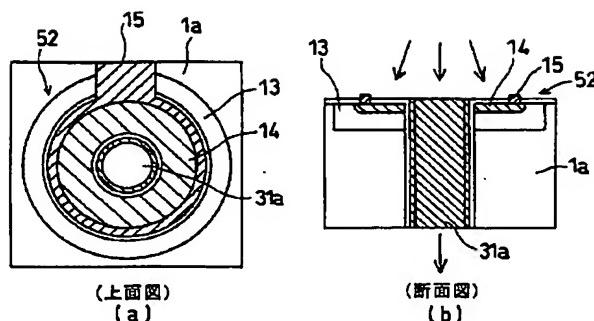
【図3】



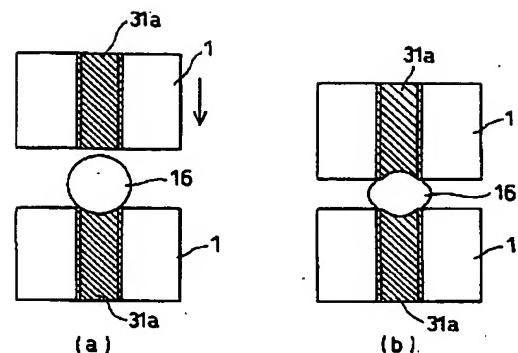
【図13】



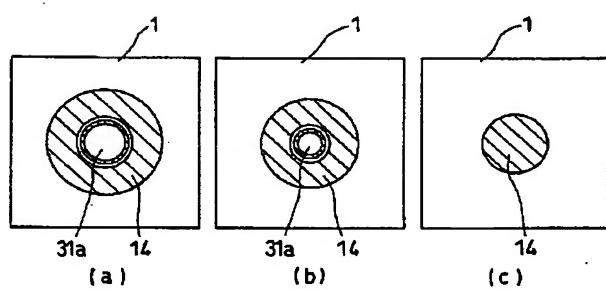
【図4】



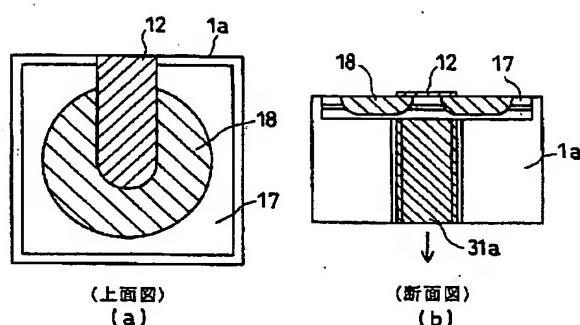
【図5】



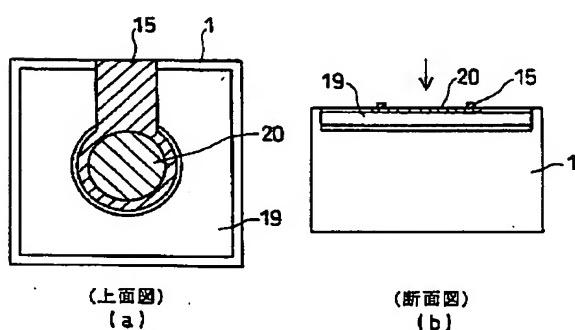
【図6】



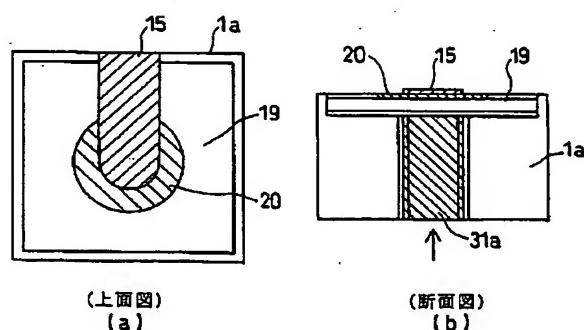
【図7】



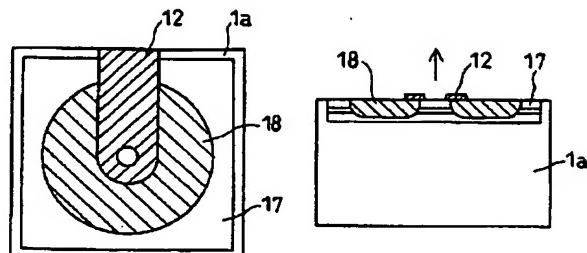
【図8】



【図9】



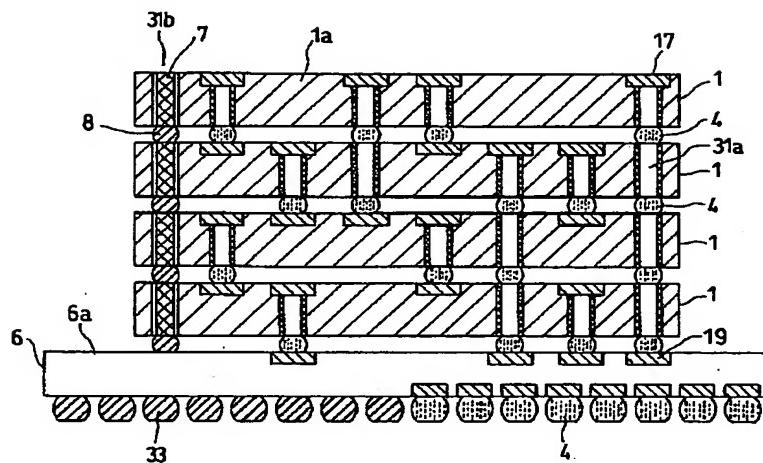
[図10]



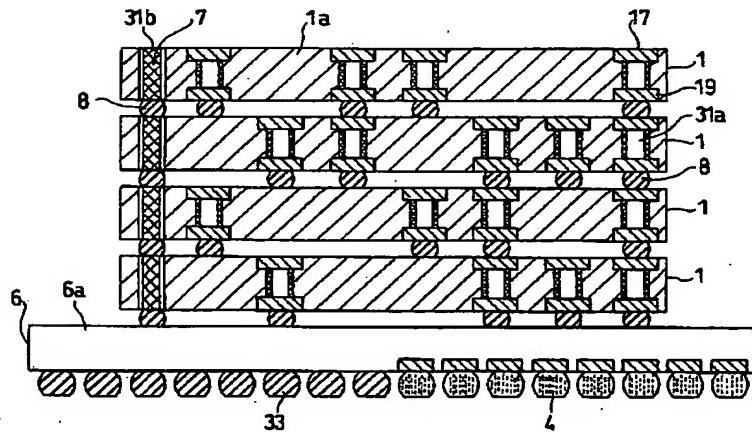
(上面圖)
(a)

(断面図)
(b)

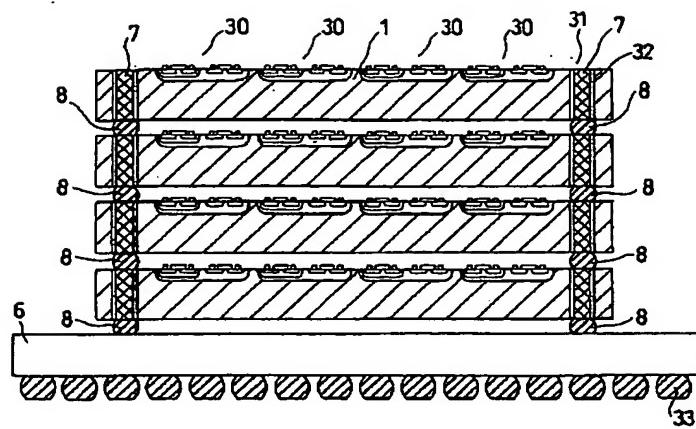
[図11]



【図14】



【図15】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-309221
 (43)Date of publication of application : 31.10.2003

(51)Int.CI.

H01L 23/12
 H01L 25/065
 H01L 25/07
 H01L 25/18

(21)Application number : 2002-111571

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 15.04.2002

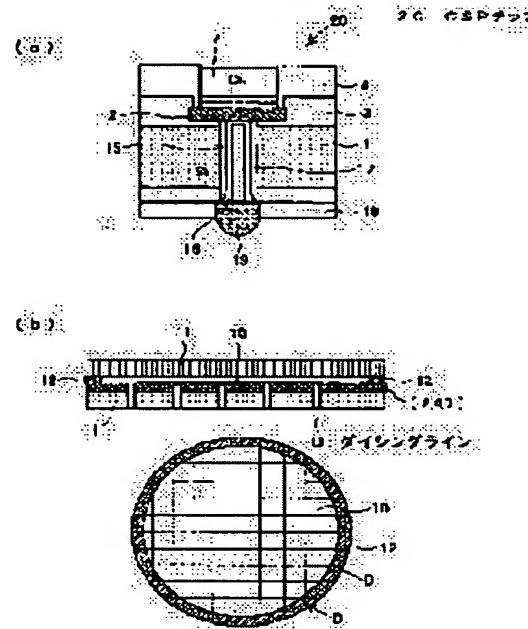
(72)Inventor : NOMA TAKASHI

(54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which is reduced in the number of manufacturing processes and is also reduced in cost.

SOLUTION: A method of manufacturing a semiconductor device comprises steps of: forming a metal pad 2 on a silicon wafer (Si substrate 1) via an insulation film 3, and then forming a metal post (Cu 7) for electrode connection on the metal pad 2; pasting the Si substrate 1 and a support board 11 for supporting the Si substrate together via an insulation film 10; polishing the rear face of the Si substrate 1; forming openings 14a penetrating from the rear face of the Si substrate 1 to the Cu 7; forming an insulation film 15 on sidewalls of the openings 14a, and then forming a metal film (TiN 16 and Cu 17) in the openings; forming an electrode (solder ball 19) on the TiN 16 and Cu 17; dicing the Si substrate 1 from the rear face thereof to the film 10; and separating the Si substrate 1 from the support board 11.



LEGAL STATUS

[Date of request for examination] 15.04.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2003-309221
(P2003-309221A)

(43)公開日 平成15年10月31日(2003.10.31)

(51)Int.Cl.
H 01 L 23/12
25/065
25/07
25/18

識別記号
501

F I
H 01 L 23/12
25/08

501 P
B

テ-マート(参考)

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21)出願番号 特願2002-111571(P2002-111571)

(22)出願日 平成14年4月15日(2002.4.15)

(71)出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号

(72)発明者 野間 崇
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

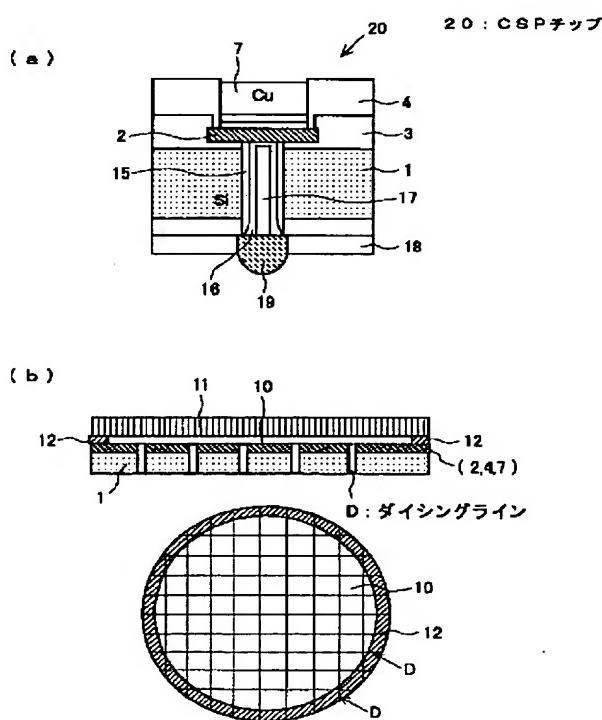
(74)代理人 100107906
弁理士 須藤 克彦 (外1名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 製造工程数を削減し、低コスト化を実現した半導体装置を提供する。

【解決手段】 本発明の半導体装置の製造方法は、シリコンウエハ(Si基板1)上に絶縁膜3を介して金属パッド2を形成し、当該金属パッド2上に電極接続用の金属ポスト(Cu7)を形成する工程と、前記Si基板1と当該Si基板1を支持する支持板11とを絶縁フィルム10を介して貼り合わせる工程と、前記Si基板1の裏面を研磨する工程と、前記Si基板1の裏面から前記Cu7まで貫通する開口14aを形成する工程と、前記開口14aの側壁部に絶縁膜15を形成した後に、当該開口内に金属膜(TiN16, Cu17)を形成する工程と、前記TiN16, Cu17上に電極(半田ボール19)を形成する工程と、前記Si基板1の裏面から前記フィルム10までダイシングする工程と、前記Si基板1と前記支持板11とを分離する工程とを有することを特徴とするものである。



【特許請求の範囲】

【請求項1】シリコンウエハ上に絶縁膜を介して金属パッドを形成し、当該金属パッド上に電極接続用の金属ポストを形成する工程と、前記ウエハと当該ウエハを支持する支持板とを絶縁フィルムを介して貼り合わせる工程と、前記ウエハの裏面を研磨する工程と、前記ウエハの裏面から前記金属パッドまで貫通する開口を形成する工程と、前記開口の側壁部に絶縁膜を形成した後に、当該開口内に金属膜を形成する工程と、前記金属膜上に電極を形成する工程と、前記ウエハの裏面から前記フィルムまでダイシングする工程と、前記ウエハと前記支持板とを分離する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】前記ウエハと当該ウエハを支持する支持板とをフィルムを介して貼り合わせる工程が、前記ウエハと前記支持板の外径よりも小さい外径を有するフィルムを前記ウエハと前記支持板とで挟んだ状態で、その周端部のみエポキシ樹脂を用いて貼り合わせる工程であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】前記フィルムが、アセトン溶液に溶ける有機系フィルムであることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】前記フィルムが、粘着性を有するフィルムであることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】前記フィルムとしてUVテープを用いる際には、前記支持板として透明ガラスを用いて、前記ダイシング工程後にUV照射することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項6】前記金属膜上に電極を形成する工程が、当該金属膜上に金属配線を形成し、当該配線上に電極を形成する工程を有することを特徴とする請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、更に言えば、ボール状の導電端子を有するBGA (Ball Grid Array) 型の半導体装置の製造方法に関する。

【0002】

【従来の技術】従来より表面実装型の半導体装置の一種としてBGA型の半導体装置がある。これは、半田等の金属部材から成るボール状の導電端子をパッケージ基板一主面上に格子状に複数配列し、基板の他の主面上に搭載される半導体チップとボンディングしてパッケージングするものである。そして、電子機器に組み込まれる際

には、各導電端子をプリント基板上の配線パターンに熱溶着し、半導体チップとプリント基板上に搭載される外部回路とを電気的に接続する。

【0003】このようなBGA型の半導体装置は、半導体装置の側面に突出したリードピンを有するSOP (Small Outline Package) やQFP (Quad Flat Package) 等の他の表面実装型の半導体装置に比べ多数の接続端子を接地することができ、小型化が有利なものとして知られている。

【0004】近年において、このBGA型の半導体装置がCCDイメージセンサの分野にも取り入れられ、小型化の要望が強い携帯電話機に搭載されるデジタルカメラのイメージセンサチップとして用いられている。

【0005】また、ウエハレベルのCSP (Chip Size Package) やシリコン (Si) 貫通技術を用いた3次元実装技術が注目されてきている。これらの技術は、チップを何層にも貼り合わせた後、Siを貫通させたり、Siウエハを表面からSi貫通させた後、積み上げる方法等が研究されている。

【0006】

【発明が解決しようとする課題】しかし、従来の3次元実装技術は、表面からSi貫通等の加工を行い、銅(Cu)のビアホールを形成するため、表面側にCMP (Chemical Mechanical Polishing) 処理が必要であったり、Cuビア形成後に当該Cuビアとパッドとを繋ぐための再配線が必要であるため、製造工数が多くなってしまう。

【0007】

【課題を解決するための手段】そこで、本発明の半導体装置の製造方法は上記課題に鑑み、シリコンウエハ上に絶縁膜を介して金属パッドを形成し、当該金属パッド上に電極接続用の金属ポストを形成する工程と、前記ウエハと当該ウエハを支持する支持板とをフィルムを介して貼り合わせる工程と、前記ウエハの裏面を研磨する工程と、前記ウエハの裏面から前記金属パッドまで貫通する開口を形成する工程と、前記開口の側壁部に絶縁膜を形成した後に、当該開口内に金属膜を形成する工程と、前記金属膜上に電極を形成する工程と、前記ウエハの裏面から前記フィルムまでダイシングする工程と、前記ウエハと前記支持板とを分離する工程とを有することを特徴とするものである。

【0008】また、前記ウエハと当該ウエハを支持する支持板とをフィルムを介して貼り合わせる工程が、前記ウエハと前記支持板の外径よりも小さい外径を有するフィルムを前記ウエハと前記支持板とで挟んだ状態で、その周端部のみエポキシ樹脂を用いて貼り合わせる工程であることを特徴とするものである。

【0009】更に、前記フィルムが、アセトン溶液に溶ける有機系フィルムであることを特徴とするものである。

【0010】また、前記フィルムが、粘着性を有するフィルムであることを特徴とするものである。

【0011】更に、前記フィルムとしてUVフィルムを用いる際には、前記支持板として透明ガラスを用いて、前記ダイシング工程後にUV照射をすることを特徴とするものである。

【0012】そして、前記金属膜上に電極を形成する工程が、当該金属膜上に金属配線を形成し、当該配線上に電極を形成する工程を有することを特徴とするものである。

【0013】

【発明の実施の形態】以下、本発明の半導体装置の製造方法に係る一実施形態について図面を参照しながら説明する。

【0014】先ず、図1(a)に示すようにおよそ $60\text{ }\mu\text{m}$ の膜厚のシリコンウエハ(以下、Si基板)1上に酸化膜が形成され、当該酸化膜上に金属(例えば、Al)パッド2が形成され、当該Alパッド2を被覆するようにプラズマCVD法によるSiO₂膜またはPSG膜から成る所定膜厚の酸化膜3を形成する。尚、特に平坦性を必要とする場合には酸化膜を例えればCMP研磨等しても良い。そして、不図示のフォトレジスト膜をマスクにAlパッド2上の酸化膜3をエッチングして当該Alパッド2の一部(表面部)を露出させる。尚、本実施形態では、前記酸化膜3の膜厚は、全体でおよそ $5\text{ }\mu\text{m}$ 程度としている。

【0015】次に、図1(b)に示すように前記Alパッド2及び酸化膜3上にポリイミド膜を形成し、当該ポリイミド膜を不図示のフォトレジスト膜をマスクにエッチングして前記Alパッド2上に開口部を有するポリイミド膜4を形成する。そして、前記開口部内にニッケル(Ni)5、金(Au)6を形成した後に、その上に銅(Cu)メッキしてCu7を埋め込む。また、当該Cu7上に当該Cu7の腐食防止用としてAuをメッキ形成しても良い。尚、本実施形態では、前記開口部内に埋設された導電部材(Ni, Au, Cu, Au)の膜厚は、全体でおよそ $25\text{ }\mu\text{m}$ 程度としている。

【0016】ここで、本プロセスが、CCDイメージセンサに採用される場合には、前記ポリイミド膜4は透明性のポリイミド膜または透明ガラスエポキシ樹脂等をスクリーン印刷法を用いて形成する必要がある。

【0017】更に言えば、本プロセスを3次元プロセスに用いないCSPプロセスに適用するものである場合には、開口部を形成する必要はなく、ポリイミド膜4の全面塗布で構わない。

【0018】また、図8(a)に示すように前記Alパッド2上を含む酸化膜3上にTiW21(もしくはTiW上にCuを形成しても良い。)を形成し、所定パターンと成るようにパターニングする。そして、ポリイミド膜4Aを介してCu7A(Au)を形成する、いわゆる

再配線構造を採用しても良い。

【0019】続いて、図2(a)に示すように前記Cu7(Au)上を含むポリイミド膜4上に絶縁フィルム10を貼り、当該フィルム10を介して支持板11と前記Si基板1側を貼り合わせる。

【0020】ここで、前記支持板11は、後述するSi基板1のBG(バックグラウンド)時に、Si基板1の割れ等を防止するための支持材で、例えばSi基板や酸化膜(ガラス基板)やセラミック等を利用している。尚、本実施形態では、支持材として必要な膜厚として、およそ $400\text{ }\mu\text{m}$ 程度としている。

【0021】また、前記フィルム10は、後述するSi基板1と支持板11との分離工程における作業性向上を図る目的で、アセトンに溶ける有機膜を採用している。尚、本実施形態では、フィルム10の膜厚をおよそ $40\text{ }\mu\text{m}$ 程度としている。

【0022】更に、当該フィルム10の外周部には、図2(b)に示すようにエポキシ樹脂12を充填することで、当該フィルム10を密封し、固めている。これにより、各種作業中における有機溶媒等の薬液の侵入を防止している。

【0023】尚、Si基板1のBG工程におけるバックグラウンド膜厚が少ない場合には、支持板11を貼り付ける工程は省略できる。

【0024】次に、図3(a)に示すようにSi基板1側をBG処理して、当該Si基板1の膜厚をおよそ $10\sim100\text{ }\mu\text{m}$ 程度まで薄膜化できる。このとき、前記支持板11が、BG工程時にSi基板1を支持する。そして、BG処理したSi基板1の裏面側におよそ $0.01\text{ }\mu\text{m}$ 程度の酸化膜13を形成する。尚、前記酸化膜13の代わりにシリコン窒化膜やポリイミドから成る有機系絶縁物を形成しても良い。更に言えば、前記BG工程において、Cu上の平坦性に左右されないため、そのままバックグラウンド可能であり、作業性が良い。

【0025】更に、図3(b)に示すように不図示のフォトレジスト膜をマスクに前記酸化膜13及びSi基板1をエッチングして開口部14を形成する。続いて、図4(a)に示すように前記開口部14から露出した酸化膜3をエッチングして、前記Alパッド2を露出させる。そして、開口部14a内の前記Alパッド2上を含む酸化膜13上を被覆するようにCVD法による酸化膜を形成し、当該酸化膜を異方性エッチングして開口部14aの側壁部に酸化膜を残膜させてサイドウォールスペーサ膜15を形成する。尚、酸化膜のCVD成膜処理温度は、 200°C 程度の低温度が良い。また、シリコン窒化膜を用いてサイドウォールスペーサ膜15を形成しても良い。

【0026】次に、図4(b)に示すように前記開口部14a内にサイドウォールスペーサ膜15を介して窒化チタン(TiN)または窒化タンタル(TaN)等のバ

リア膜16をスパッタ形成し、当該バリア膜16を介して前記開口部14a内にCu17を埋設する。尚、本工程では、先ずバリア膜16上にCuシード、Cuメッキ処理を施し、当該Cuをアニール処理する。そして、当該Cuを開口部14a内に埋設させている。ここで、平坦性を特に必要とする場合は、当該CuをCMP研磨する。

【0027】更に、図5(a)に示すように前記Cu17上に、当該Cu17が埋設された開口部14aの開口サイズよりも幾分広い開口を有するソルダーマスク18を形成し、当該マスク18を介して当該開口上に半田ペーストをスクリーン印刷し、当該半田ペーストをリフロー処理することで、Cu17上に半田ボール19を形成する。尚、本実施形態では、ソルダーマスク18として、200°Cでイミド化可能なリカコートから成るポリイミド膜を用いている。

【0028】尚、図8(b)に示すように前記Cu17上を含む酸化膜13上にAl膜31及びNi膜(Au膜)32を形成し、所定パターンと成るようにパターニングする。そして、ソルダーマスク18Aを介して半田ボール19Aを形成する構造を採用しても良い。

【0029】続いて、図5(b)に示すように前記Si基板1側を前記フィルム10に到達する位置までダイシングする。

【0030】そして、不図示のアセトン溶液槽内に当該Si基板1を浸することで、図6(b)に示すように前記ダイシングライン(D)からアセトンが侵入し、前記フィルム10を溶解する。従って、前記Si基板1(各チップ)と支持板11とが自動的に分離され、図6(a)に示すような単体のCSPチップ20が完成する。

【0031】このように本実施形態では、アセトンに溶解する有機系のフィルム10を用いてSi基板1と支持板11とを貼り合わせているため、ダイシング後に、Si基板1をアセトンに浸すだけで両者を簡単に分離することができ、作業性が良い。

【0032】また、前記フィルム10の代わりに粘着力の弱いフィルムを用いて、ダイシング後に、物理的にチップを剥がすものであっても良い。更に言えば、支持板11として透明ガラスを用いる場合には、有機系フィルム10としてUVテープを貼り、ダイシング後にUV照射をし、チップを剥がせば良い。

【0033】加えて、ダイシングした後に、例えばウエハの裏面からホットプレートで熱を加えて、ウエハと支持板11で挟まれた有機膜(フィルム10)を溶かして軟化させることで両者を剥がすものであっても良い。このとき、フィルム10がアセトンに溶ける有機膜であるときは、200°C程度の加熱を、ポリイミド膜を利用

した場合では400°C程度の加熱で当該フィルム10は解ける。

【0034】Si基板1と支持板11とを剥がす別形態としては、ダイシング前に、エッジのエポキシ樹脂を、ウエハを縦にして回転させ、外周だけ酸などの薬品に浸して剥がす方法もある。又、刃物をウエハとチップの間のエッジのエポキシ樹脂に入れて切り離す方法もある。そして、両方法の後、BGテープを貼ってダイシングする。

【0035】そして、図7に示すように前記単体のCSPチップ20をCu7(Au)と半田ボール19とを金属密着でCSPチップ20同士を密着(積層)させることで、3次元実装が(何層でも)可能となり、チップサイズの同じもの(メモリ等)であれば大容量化が図れる。

【0036】

【発明の効果】本発明では、従来の3次元実装技術のように表面からSi貫通等の加工を行い、銅(Cu)のビアホールを形成するため、表面側にCMP(Chemical Mechanical Polishing)処理を必要としない。また、Cuビア形成後に当該Cuビアとパッドとを繋ぐための再配線が不要であるため、製造工数が増大するがない。

【0037】更に言えば、Cu上の平坦性に左右されないため、そのままバックグラインド可能である。

【0038】また、支持板11とSi基板1とは、張り合わせた後にBG(バックグラインド)及びその後の処理をしているため、チップの膜厚はいくらでも薄くできる。

【図面の簡単な説明】

【図1】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図2】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図3】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図4】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

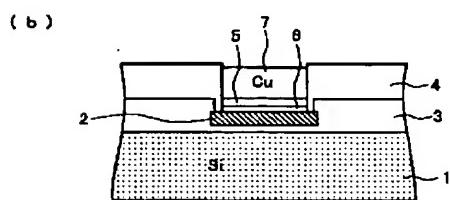
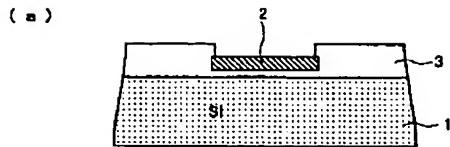
【図5】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図6】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図7】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

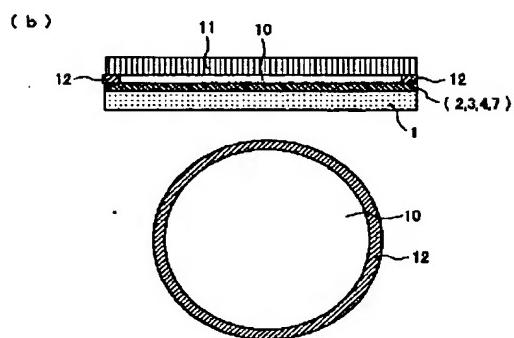
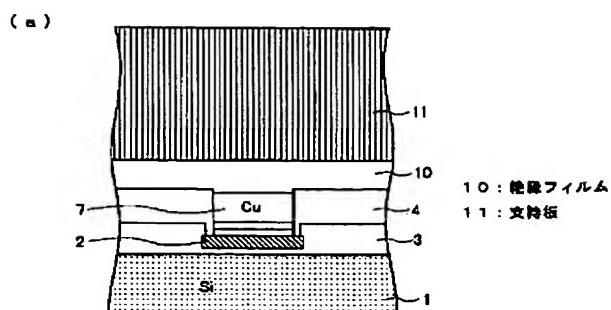
【図8】本発明の他の実施形態の半導体装置の製造方法を示す断面図である。

【図1】



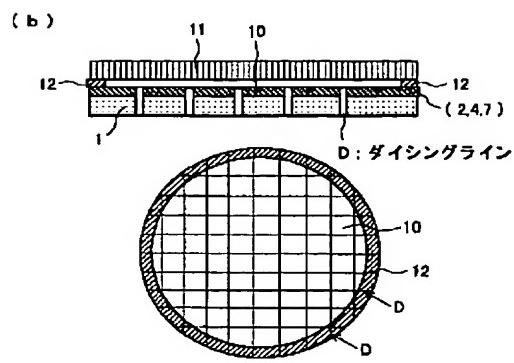
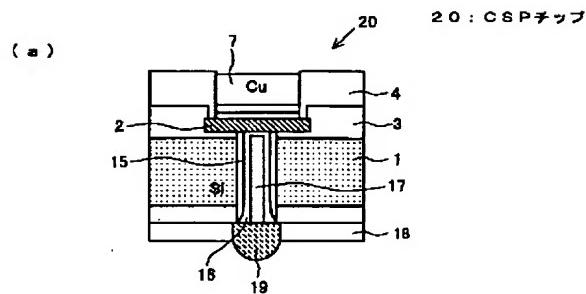
1: Si基板 2: パッド 3: 銀化膜
4: ポリイミド膜 5: ニッケル(Ni)
6: 金(Au) 7: 銅(Cu)

【図2】



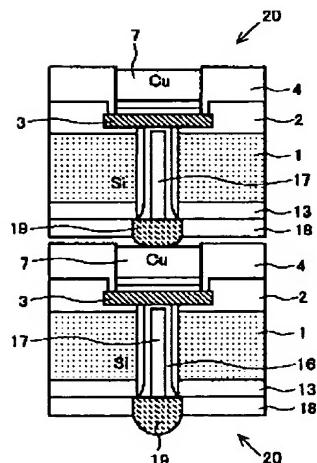
12: エポキシ樹脂

【図6】

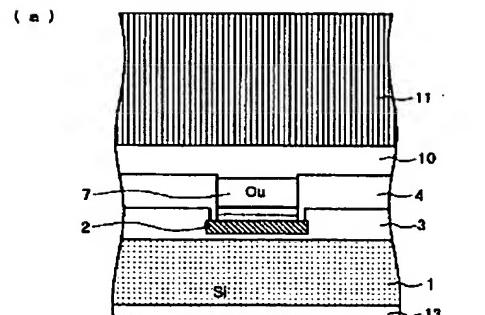


D: ダイシングライン

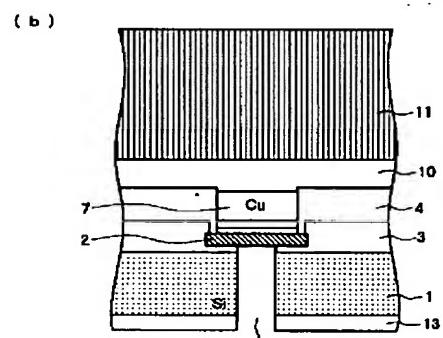
【図7】



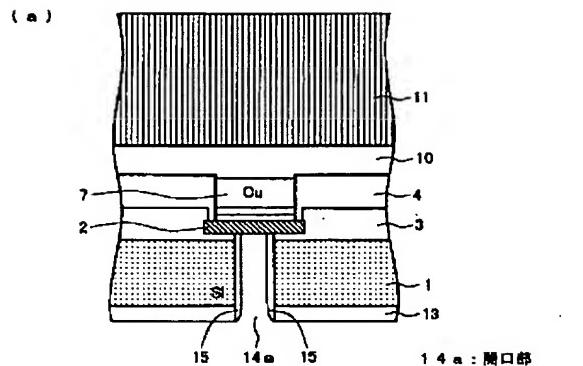
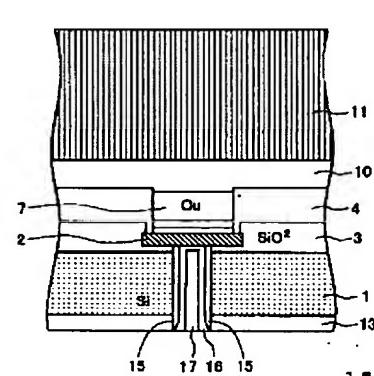
【図3】



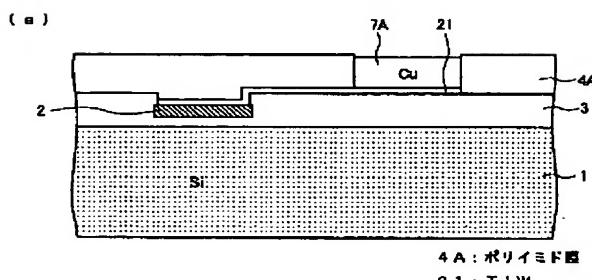
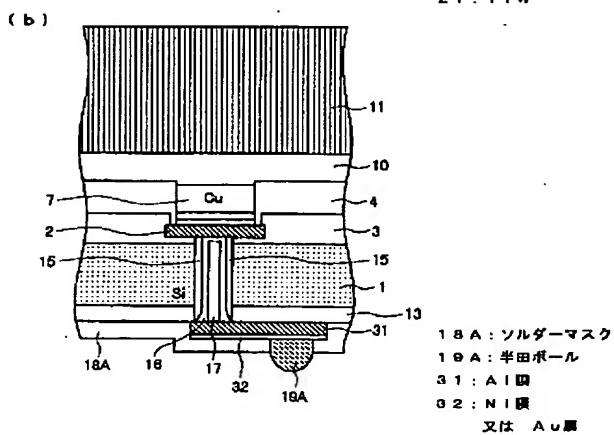
13 : 鋼化膜



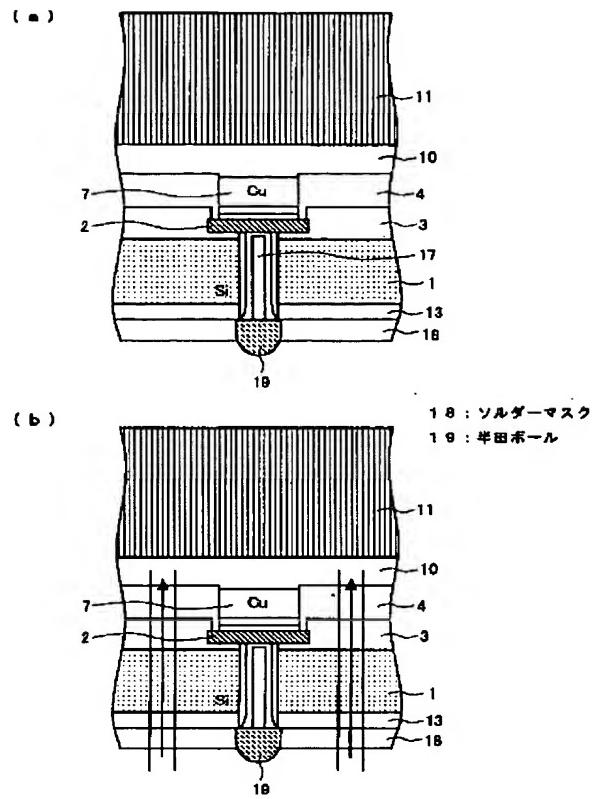
14 : 開口部

14a : 開口部
15 : サイドウォール
スペーサ16 : バリア膜
17 : 銅 (Cu)

【図8】

4A : ポリイミド膜
21 : TiW18A : ソルダーマスク
19A : 半田ボール
31 : Ni膜
又は Au膜

【図5】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年9月22日(2005.9.22)

【公開番号】特開2003-309221(P2003-309221A)

【公開日】平成15年10月31日(2003.10.31)

【出願番号】特願2002-111571(P2002-111571)

【国際特許分類第7版】

H 01 L 23/12

H 01 L 25/065

H 01 L 25/07

H 01 L 25/18

【F I】

H 01 L 23/12 501 P

H 01 L 25/08 B

【手続補正書】

【提出日】平成17年4月15日(2005.4.15)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

金属パッドが形成されたシリコンウェハと当該ウェハを支持する支持体とをフィルムを介して貼り合わせる工程と、

前記ウェハの裏面から前記金属パッドまで貫通する開口を形成する工程と、

前記開口の側壁部に絶縁膜を形成した後に、当該開口内に金属膜を形成する工程と、

前記金属膜上に電極を形成する工程と、

前記ウェハの裏面から前記フィルムまでダイシングする工程と、

前記ウェハと前記支持体とを分離する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】

前記ウェハと当該ウェハを支持する支持体とをフィルムを介して貼り合わせる工程が、前記ウェハと前記支持体の外径よりも小さい外径を有するフィルムを前記ウェハと前記支持体とで挟んだ状態で、その周端部のみエポキシ樹脂を用いて貼り合わせる工程であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

前記フィルムが、アセトン溶液に溶ける有機系フィルムであることを特徴とする請求項1、2のいずれかに記載の半導体装置の製造方法。

【請求項4】

前記フィルムが、粘着性を有することを特徴とする請求項1、2のいずれかに記載の半導体装置の製造方法。

【請求項5】

前記フィルムとしてUVテープを用いる際には、前記支持体として透明ガラスを用いて、前記ダイシング工程後にUV照射することを特徴とする請求項1、2のいずれかに記載の半導体装置の製造方法。

【請求項6】

前記金属膜上に電極を形成する工程が、当該金属膜上に金属配線を形成し、当該配線上

に電極を形成する工程を有することを特徴とする請求項1、2、3、4、5のいずれかに記載の半導体装置の製造方法。

【請求項7】

前記ウエハ裏面に前記開口を形成する前に、その裏面を研磨することを特徴とする請求項1、2、3、4、5、6のいずれかに記載の半導体装置の製造方法。

【請求項8】

前記金属パッド上に電極接続用の金属層を形成する工程を有することを特徴とする請求項1、2、3、4、5、6、7のいずれかに記載の半導体装置の製造方法。

【請求項9】

一方の半導体装置の前記金属層と他方の半導体装置の前記電極とを積層する工程を有することを特徴とする請求項8に記載の半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

【課題を解決するための手段】

そこで、本発明の半導体装置の製造方法は上記課題に鑑み、金属パッドが形成されたシリコンウエハと当該ウエハを支持する支持体とをフィルムを介して貼り合わせる工程と、前記ウエハの裏面から前記金属パッドまで貫通する開口を形成する工程と、前記開口の側壁部に絶縁膜を形成した後に、当該開口内に金属膜を形成する工程と、前記金属膜上に電極を形成する工程と、前記ウエハの裏面から前記フィルムまでダイシングする工程と、前記ウエハと前記支持体とを分離する工程とを有することを特徴とするものである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

また、前記ウエハと当該ウエハを支持する支持体とをフィルムを介して貼り合わせる工程が、前記ウエハと前記支持体の外径よりも小さい外径を有するフィルムを前記ウエハと前記支持体とで挟んだ状態で、その周端部のみエポキシ樹脂を用いて貼り合わせる工程であることを特徴とするものである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

更に、前記フィルムとしてUVテープを用いる際には、前記支持体として透明ガラスを用いて、前記ダイシング工程後にUV照射することを特徴とするものである。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

そして、前記金属膜上に電極を形成する工程が、当該金属膜上に金属配線を形成し、当

該配線上に電極を形成する工程を有することを特徴とするものである。

また、前記ウエハ裏面に前記開口を形成する前に、その裏面を研磨することを特徴とするものである。

更に、前記金属パッド上に電極接続用の金属層を形成する工程を有することを特徴とするものである。

そして、一方の半導体装置の前記金属層と他方の半導体装置の前記電極とを積層する工程を有することを特徴とするものである。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

ここで、前記支持板11は、後述するSi基板1のBG(バックグラインド)時に、Si基板1の割れ等を防止するための支持体で、例えばSi基板や酸化膜(ガラス基板)やセラミック等を利用している。尚、本実施形態では、支持体として必要な膜厚として、およそ400μm程度としている。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正の内容】

【0033】

加えて、ダイシングした後に、例えばウエハの裏面からホットプレートで熱を加えて、ウエハと支持基板11で挟まれた有機膜(フィルム10)を溶かして軟化させることで両者を剥がすものであっても良い。このとき、フィルム10がアセトンに溶ける有機膜であるときは、200℃程度の加熱で、ポリイミド膜を利用した場合では400℃程度の加熱で当該フィルム10は溶ける。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正の内容】

【0038】

また、支持板11とSi基板1とは、貼り合わせた後にBG(バックグラインド)及びその後の処理をしているため、チップの膜厚は必要に応じて薄くできる。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-027824

(43)Date of publication of application : 27.01.1998

(51)Int.CI. H01L 21/60

(21)Application number : 09-016103 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 30.01.1997 (72)Inventor : OTSUKA TAKASHI
MATSUMURA KAZUHIKO
KAWAKITA TETSUO
FUJIMOTO HIROAKI

(30)Priority

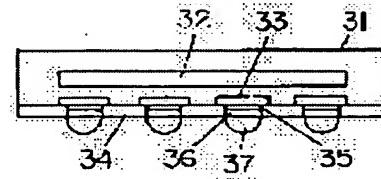
Priority number : 08 36429	Priority date : 23.02.1996	Priority country : JP
08116083	10.05.1996	
08116084	10.05.1996	JP
		JP

(54) SEMICONDUCTOR DEVICE HAVING BUMP ELECTRODE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device suitable for a miniaturization.

SOLUTION: An active layer 32 of a semiconductor element 31 is covered to form a protective layer 34 and opening parts made to face element electrodes provided in the active surface of the element 31 are formed in the layer 34. Barrier layers 35 for covering the element electrodes, diffusion preventive layers 36, with which the layers 35 are covered, and bump electrodes 37 provided on the layers 36 are respectively formed in the interiors of these opening parts. As the material for the electrodes 37, a material of a hardness lower than those of the materials for the layers 35 and the element electrodes is preferably used.



LEGAL STATUS

[Date of request for examination] 17.02.2000

[Date of sending the examiner's decision of] 14.05.2002

[rejection]

[Kind of final disposal of application other than withdrawal
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application] 29.09.2003

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision 2002-10671
of rejection]

[Date of requesting appeal against examiner's 13.06.2002
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-27824

(43)公開日 平成10年(1998)1月27日

(51) Int.Cl.⁸
H 01 L 21/60

識別記号 311
府内整理番号

F I
H 01 L 21/60

技術表示箇所
311S

審査請求 未請求 請求項の数22 O.L. (全 14 頁)

(21)出願番号 特願平9-16103

(22)出願日 平成9年(1997)1月30日

(31)優先権主張番号 特願平8-36429

(32)優先日 平8(1996)2月23日

(33)優先権主張国 日本 (JP)

(31)優先権主張番号 特願平8-116083

(32)優先日 平8(1996)5月10日

(33)優先権主張国 日本 (JP)

(31)優先権主張番号 特願平8-116084

(32)優先日 平8(1996)5月10日

(33)優先権主張国 日本 (JP)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 大塚 隆

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 松村 和彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 河北 哲郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 滝本 智之 (外1名)

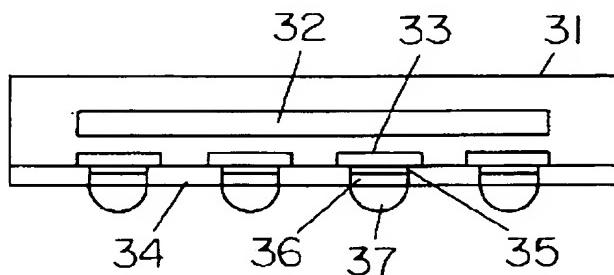
最終頁に続く

(54)【発明の名称】 突起電極を有する半導体装置及びその製造方法

(57)【要約】

【課題】 小型化に適した半導体装置を提供すること。

【解決手段】 半導体素子の能動層を被覆して保護層が形成され、保護層には半導体素子の能動面に設けられた素子電極を臨ませた開口部が形成されている。開口部の内部には素子電極を被覆するバリア層と、バリア層を被覆した拡散防止層と、拡散防止層上に設けられた突起電極が形成される。突起電極は好ましくはバリア層、素子電極よりも硬度の低い材料が用いられる。



【特許請求の範囲】

【請求項 1】半導体素子の能動面を被覆して形成され、前記半導体素子の能動面に設けられた素子電極を臨ませた開口部を有する保護層と、前記開口部の内部において前記素子電極を被覆するバリア層と、前記バリア層を被覆した拡散防止層と、前記拡散防止層上に設けられた突起電極とを有することを特徴とする半導体装置。

【請求項 2】前記突起電極は前記素子電極及び前記バリア層よりも硬度の低い材料で形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】前記バリア層及び拡散防止層の厚みの合計は、前記保護層の厚みとほぼ等しいことを特徴とする請求項 1 記載の半導体装置。

【請求項 4】第一の突起電極を有する第一の半導体装置と、前記第一の突起電極よりも硬度の低い第二の突起電極を有する配線基板あるいは第二の半導体装置とを備え、前記第一の突起電極の少なくとも一部が前記第二の突起電極に埋没した構造を有することを特徴とする半導体装置。

【請求項 5】前記第一の半導体装置と、前記第二の半導体装置あるいは配線基板との間に介在する絶縁性樹脂をさらに備えることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】前記第一及び／又は第二の半導体装置は、半導体素子の能動面を被覆して形成され、前記半導体素子の能動面に設けられた素子電極を臨ませた開口部を有する保護層と、前記開口部の内部において前記素子電極を被覆するバリア層と、前記バリア層を被覆した拡散防止層とを備えることを特徴とする請求項 4 記載の半導体装置。

【請求項 7】前記第一の突起電極は金、パラジウム、白金、銅及びこれらを主成分とする合金のうちのいずれかであることを特徴とする請求項 4 記載の半導体装置。

【請求項 8】前記第二の突起電極は、インジウム、インジウムを主成分とする合金、鉛、鉛を主成分とする合金のうちのいずれかであること特徴とする請求項 4 記載の半導体装置。

【請求項 9】第一及び第二の半導体装置を備え、前記第一及び第二の半導体装置のそれぞれは、半導体素子の能動面を被覆して形成され、前記半導体素子の能動面に設けられた素子電極を臨ませた開口部を有する保護層と、前記開口部の内部において前記素子電極を被覆するバリア層と、前記バリア層を被覆した拡散防止層とを備えると共に、前記第一の半導体装置の拡散防止層と、前記第二の半導体装置の拡散防止層との間を、突起電極にて接合したことを特徴とする半導体装置。

【請求項 10】前記突起電極は前記素子電極及び前記バリア層よりも硬度の低い材料で形成されていることを特徴とする請求項 9 記載の半導体装置。

【請求項 11】前記第一及び第二の半導体装置との間に

介在する絶縁材をさらに備えることを特徴とする請求項 9 記載の半導体装置。

【請求項 12】前記絶縁材は、還元剤が混入された熱硬化性の絶縁性樹脂であることを特徴とする請求項 11 記載の半導体装置。

【請求項 13】前記還元剤の前記絶縁性樹脂に対する配合比率は 40～80 体積%であることを特徴とする請求項 12 記載の半導体装置。

【請求項 14】半導体素子の能動面を被覆して形成された保護層の開口部から露出した素子電極上にバリア層及び拡散防止層形成用膜を無電解めっき法によって形成する工程と、前記拡散防止層形成用膜上に突起電極を形成すると共に、前記突起電極と前記拡散防止層形成用膜との相互拡散によって拡散防止層を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項 15】突起電極の形成された第一の半導体装置と、拡散防止層形成用膜を備えた第二の半導体装置または配線基板とを接合する方法であって、前記突起電極及び前記拡散防止層形成用膜とを接触させる工程と、前記突起電極と前記拡散防止層形成用膜との相互拡散によって拡散防止層を形成し、かつ前記第一の半導体装置と、第二の半導体装置又は前記配線基板とを前記突起電極により接合する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 16】第一の半導体素子及び第二の半導体素子又は配線基板上に硬度が異なる第一と第二の突起電極をそれぞれ形成する工程と、前記第一の突起電極と、前記第二の突起電極とを位置あわせる工程と、前記第一と第二の突起電極のうち硬度が高い突起電極の少なくとも一部を他の突起電極に埋設するように接続する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 17】第一の半導体素子及び第二の半導体素子又は配線基板上に硬度が異なる第一と第二の突起電極をそれぞれ形成する工程と、前記第一の突起電極と、前記第二の突起電極とを位置あわせる工程と、前記第一と第二の突起電極のうち硬度が高い突起電極の少なくとも一部を他の突起電極に埋設するように接続する工程と前記第一及び第二の突起電極の周囲に絶縁材を充填する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 18】第一の半導体素子と第二の半導体素子又は配線基板上に、硬度が異なる第一と第二の突起電極をそれぞれ形成する工程と、前記第一の突起電極と、前記第二の突起電極とを位置あわせる工程と、前記第一及び／又は第二の突起電極の周囲に絶縁性樹脂を塗布する工程と、前記第一と第二の突起電極のうち硬度が高い突起電極の少なくとも一部を他の突起電極に埋設するように接続する工程と、前記絶縁性樹脂を硬化させる工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 19】第一の半導体素子と第二の半導体素子又は配線基板上に、硬度が異なる第一と第二の突起電極を

それぞれ形成する工程と、前記第一の突起電極と、前記第二の突起電極とを位置あわせる工程と、前記第一及び／又は第二の突起電極上に還元剤を含む絶縁性樹脂を塗布する工程と、前記第一と第二の突起電極のうち硬度が高い突起電極の少なくとも一部を他の突起電極に埋設するように接続する工程と、前記絶縁性樹脂を硬化させる工程とを含むことを特徴とする半導体装置の製造方法。

【請求項20】第一の半導体装置の突起電極と、第二の半導体装置又は配線基板上の基板電極を接触させる工程と、還元剤が混入された絶縁性樹脂を第一の半導体装置の突起電極及び／または第二の半導体装置または配線基板の基板電極に塗布する工程と、絶縁性樹脂を硬化する工程を含むことを特徴とする半導体装置の製造方法。

【請求項21】互いの素子電極が電気的に接合される第一及び第二の半導体装置又は配線基板と、前記第一の半導体装置と、前記第二の半導体装置又は前記配線基板の間に充填され、酸化物を除去する還元剤を含む絶縁性樹脂層とを備えることを特徴とする半導体装置。

【請求項22】半導体素子の能動面を被覆して形成され、前記半導体素子の能動面に設けられた素子電極を臨ませた開口部を有する保護層と、前記開口部の内部において前記素子電極を被覆するバリア層と、前記バリア層を被覆した拡散防止層と、前記拡散防止層上に設けられ、前記素子電極及び前記バリア層よりも硬度が低い突起電極とを備えた第一の半導体装置と、前記突起電極と結合された電極を備えた第二の半導体装置と、前記突起電極と前記電極との近傍に充填され、還元剤が混入されてなる絶縁性樹脂とを備えることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体装置に関し、特に他の半導体装置あるいは配線基板の基板電極と接続される突起電極を有する半導体装置に関する。またこの発明はさらにこれら半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、TAB方式あるいはフリップチップ方式と呼ばれる方法によって、一対の半導体装置、あるいは半導体装置と配線基板とを接続する方法が知られている。ここで言う配線基板とは、例えば絶縁性基板に導電性の基板電極を配置したプリント基板の他、TFT、圧電素子等の電気素子等、半導体装置と電気的結合がなされる電気素子全般を指すものである。

【0003】このうちフリップチップ方式においては、実装される半導体装置に半田（すずと鉛の合金）からなる突起電極が設けられており、この突起電極を他の半導体装置あるいは配線基板の電極に接続する。図18は、かかる半導体装置の一例の概略を示す断面図であり、半

導体素子11はトランジスタや配線、コンタクトなどが形成された能動層16及び素子電極13を有する。素子電極13は、半導体素子11の能動面16を被覆した低融点ガラスやシリコン塗化膜などからなる保護層12に形成された開口部から露出している。開口部の内外には、TiW/Au等からなるバリア層14が形成されており、バリア層14の上に突起電極15が電解めつき法や蒸着法により形成される。かかる突起電極15は接続されるべき他の半導体装置あるいは配線基板に接続される。

【0004】また図19は、他の半導体装置の組み合わせの一例の概略を示す断面図であり、半導体素子24には、表面がAuからなる突起電極26が設けられており、この突起電極26は接続されるべき配線基板25に形成されたAlからなる基板電極27に接続されている。突起電極26と基板電極27の周辺にはAu-Al合金層28が形成される。

【0005】

【発明が解決しようとする課題】図18を参照して説明した従来の半導体装置は、次のような問題点を有する。まず、バリア層14は予め半導体ウエハの全面に亘って形成され、その後、突起電極15を除く不要部分がエッチングにより除去される。従ってオーバーエッチングを防止する都合上、バリア層14は開口部の周辺部まで広がった形状となる。このような複雑な工程が必要とされるばかりでなく、突起電極15同士のピッチを細かくすることが難しく、もっては半導体素子11の小型化に限界が生じている。図18に示した実施例の場合、隣り合う開口部のピッチは20μm、開口部径は100μm、突起電極の高さは100μm程度である。

【0006】また図19を参照して説明した従来の半導体装置は次のような問題点を有する。先に述べたように、半導体素子24と基板電極27との接続工程にあっては、高温加熱や高荷重が半導体素子24に加えられる。このため、半導体素子24の破壊や信頼性の劣化を招く可能性があり、完成品の歩留まりが悪くなる恐れがある。

【0007】本発明は、小型化に適した半導体装置及びその製造方法を提供することを目的とする。本発明はさらに、機械的ストレスに強い半導体装置及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上記の問題点を解決するため、本発明にかかる半導体装置は、半導体素子の能動面に設けられ、素子電極を臨ませた開口部を有する保護層の内部に、バリア層、拡散防止層及び突起電極が形成され、好ましくは突起電極の硬度は、素子電極及びバリア層よりも低いものとされている。このような構成を有することでバリア層が開口部の外側に広がることなく、小型化に適し、かつ突起電極に加えられる機械的ストレ

スが素子電極及び能動層に伝達されにくい半導体装置を提供することが可能になる。

【0009】また、本発明にかかる半導体装置は、第一の突起電極を有する半導体装置と、第一の突起電極よりも硬度の低い第二の突起電極を有する配線基板あるいは第二の半導体装置とを備え、第一の突起電極の少なくとも一部が第二の突起電極に埋没されている。このような構成を有することで、機械的ストレスが第二の突起電極によって吸収される。

【0010】また、本発明にかかる半導体装置は、第一の半導体装置及び第二の半導体装置のそれぞれに、開口部を有する保護層を有し、それぞれの開口部の内部にはバリア層、拡散防止層が形成され、それぞれの拡散防止層の間を突起電極にて接合した構成からなる。この様な構成を有することで、バリア層が開口部の外側に広がることなく、小型化に適した半導体装置を提供することが可能となる。

【0011】また、本発明にかかる半導体装置の製造方法は、半導体素子の能動面を被覆して形成された保護層の開口部から露出した素子電極上にバリア層及び拡散防止層形成用膜を無電解めっき法によって形成し、拡散防止層形成用膜上に突起電極を形成すると共に、突起電極と拡散防止層形成用膜との相互拡散により拡散防止層を形成するものである。このようにすることで、バリア層が開口部の外部に広がることなく、小型化に適した半導体装置を製造することが可能になる。

【0012】また本発明の半導体装置の製造方法は、第一の半導体装置に形成された突起電極と、及び第二の半導体装置または配線基板に形成された拡散防止層形成用膜とをそれぞれ接触させて、突起電極と拡散防止層形成用膜との相互拡散により拡散防止層を形成し、かつ第一の半導体装置及び第二の半導体装置又は配線基板とを突起電極により接合するものである。このようにすることで、第一の半導体装置及び第二の半導体装置又は配線基板が、突起電極を介して接続される。

【0013】また本発明の半導体装置の製造方法は、それぞれ硬度の異なる第一及び第二の突起電極を、それぞれ第一の半導体素子及び第二の半導体素子または配線基板上に形成し、これら第一及び第二の突起電極を位置あわせして、硬度の高い突起電極の少なくとも一部を他方の突起電極に埋没するように接続するものである。この様にすることで、機械的ストレスが硬度の低い突起電極により吸収される。

【0014】また本発明の半導体装置の製造方法は、突起電極を基板電極に接触させるにあたり、還元剤が混入された絶縁性樹脂を塗布する工程を含むものである。こうすることにより、突起電極と基板電極との間で還元剤が破碎され、突起電極及び基板電極の表面に付着する酸化物が還元剤により除去される。

【0015】

【発明の実施の形態】本発明の請求項1に記載の半導体装置は、半導体素子の能動面を被覆して形成され、半導体素子の能動面に設けられた素子電極を臨ませた開口部を有する保護層と、開口部の内部において素子電極を被覆するバリア層と、バリア層を被覆した拡散防止層と、拡散防止層上に設けられた突起電極とを有することを特徴とするものであり、バリア層を開口部の内部に形成したことで小型化に適した半導体装置を提供することができるものである。

【0016】本発明の請求項2に記載の半導体装置は、請求項1に記載された半導体装置において、突起電極は素子電極及びバリア層よりも硬度の低い材料で形成されていることを特徴とするものであり、機械的ストレスが素子電極により吸収される。本発明の請求項3に記載の半導体装置は、請求項1に記載された半導体装置において、バリア層及び拡散防止層の厚みの合計は、保護層の厚みとほぼ等しいことを特徴とするものであり、半導体装置同士の接合、または半導体装置と配線基板との接合における接合状態が規制されて安定する。

【0017】本発明の請求項4に記載の半導体装置は、第一の突起電極を有する第一の半導体装置と、第一の突起電極よりも硬度の低い第二の突起電極を有する配線基板あるいは第二の半導体装置とを備え、第一の突起電極の少なくとも一部が前記第二の突起電極に埋没した構造を有することを特徴とするものであり、第一の突起電極の少なくとも一部が第二の突起電極に埋没することで、加えられる機械的ストレスが吸収される。

【0018】本発明の請求項5に記載の半導体装置は、請求項4に記載の半導体装置において、第一の半導体装置と、第二の半導体装置あるいは配線基板との間に介在する絶縁性樹脂をさらに備えることを特徴とするものであり、絶縁性樹脂は隣接する突起電極同士を絶縁する作用を有すると共に、第一の半導体装置と第二の半導体装置あるいは配線基板との接続をより強化する作用を有する。

【0019】本発明の請求項6に記載の半導体装置は、請求項4に記載の半導体装置において、第一及び／又は第二の半導体装置は、半導体素子の能動面を被覆して形成され、半導体素子の能動面に設けられた素子電極を臨ませた開口部を有する保護層と、開口部の内部において前記素子電極を被覆するバリア層と、バリア層を被覆した拡散防止層とを備えることを特徴とするものであり、一対の半導体装置のうち、少なくとも一方は、保護層の開口部内にバリア層と拡散防止層を形成したので、小型化に適した半導体装置を提供することが可能となる。

【0020】本発明の請求項7に記載の半導体装置は、請求項4に記載の半導体装置において、第一の突起電極は金、パラジウム、白金、銅及びこれらを主成分とする合金のうちのいずれかであることを特徴とするものであり、これら硬度の高い金属を使用することで、少なくと

も第一の突起電極の一部が第二の突起電極に、埋没できるようにした。

【0021】本発明の請求項8に記載の半導体装置は、請求項4に記載の半導体装置において、第二の突起電極は、インジウム、インジウムを主成分とする合金、鉛、鉛を主成分とする合金のうちのいずれかであること特徴としてるものであり、これら硬度の低い金属を使用することで、機械的ストレスが吸収され得るようにしたものである。

【0022】本発明の請求項9に記載の半導体装置は、第一及び第二の半導体装置を備え、第一及び第二の半導体装置のそれぞれは、半導体素子の能動面を被覆して形成され、半導体素子の能動面に設けられた素子電極を臨ませた開口部を有する保護層と、開口部の内部において素子電極を被覆するバリア層と、バリア層を被覆した拡散防止層とを備えると共に、第一の半導体装置の拡散防止層と、第二の半導体装置の拡散防止層との間を、突起電極にて接合したことを特徴とするものであり、第一及び第二の半導体装置は突起電極を介して互いに接合される。

【0023】本発明の請求項10に記載の半導体装置は、請求項9に記載の半導体装置において、突起電極は素子電極及びバリア層よりも硬度の低い材料で形成されていることを特徴とするものであり、機械的ストレスが硬度の低い突起電極により吸収され得ることになる。本発明の請求項11に記載の半導体装置は、請求項9に記載の半導体装置において、第一及び第二の半導体装置との間に介在する絶縁材をさらに備えることを特徴とするものであり、絶縁材は第一と第二の半導体装置の接合をさらに強化する。

【0024】本発明の請求項12に記載の半導体装置は、請求項11に記載の半導体装置において、絶縁材は、還元剤が混入された熱硬化性の絶縁性樹脂であることを特徴とするものであり、還元剤による酸化物の除去作用を期待することが可能となる。本発明の請求項13に記載の半導体装置は、請求項12に記載の半導体装置において、還元剤の絶縁性樹脂に対する配合比率は40～80体積%であることを特徴とするものであり、還元剤による酸化物の除去作用を確実に期待することが可能となるばかりでなく、還元剤の混入過多による絶縁作用の阻害を招来するがない。

【0025】本発明の請求項14に記載の半導体装置の製造方法は、半導体素子の能動面を被覆して形成された保護層の開口部から露出した素子電極上にバリア層及び拡散防止層形成用膜を無電解めつき法によって形成する工程と、拡散防止層形成用膜上に突起電極を形成すると共に、突起電極と前記拡散防止層形成用膜との相互拡散によって拡散防止層を形成する工程とを含むことを特徴とするものであり、無電解めつき法によりバリア層及び拡散防止層形成用膜が保護層の内部にのみ形成されるの

で、小型化に適した半導体装置を製造することができる。

【0026】本発明の請求項15に記載の半導体装置の製造方法は、突起電極の形成された第一の半導体装置と、拡散防止層形成用膜を備えた第二の半導体装置または配線基板とを接合する方法であって、突起電極及び拡散防止層形成用膜とを接触させる工程と、突起電極と拡散防止層形成用膜との相互拡散によって拡散防止層を形成し、かつ第一の半導体装置と、第二の半導体装置又は配線基板とを突起電極により接合する工程とを含むことを特徴とするものであり、拡散防止層は突起電極と拡散防止層形成用膜との相互拡散により自動的に生成される。

【0027】本発明の請求項16に記載の半導体装置の製造方法は、第一の半導体素子及び第二の半導体素子又は配線基板上に硬度が異なる第一と第二の突起電極をそれぞれ形成する工程と、第一の突起電極と、第二の突起電極とを位置あわせする工程と、第一と第二の突起電極のうち硬度が高い突起電極の少なくとも一部を他の突起電極に埋設するように接続する工程とを含むことを特徴とするものであり、硬度の高い突起電極が硬度の低い突起電極に埋没することで、機械的ストレスが吸収され得る。

【0028】本発明の請求項17に記載の半導体装置の製造方法は、第一の半導体素子及び第二の半導体素子又は配線基板上に硬度が異なる第一と第二の突起電極をそれぞれ形成する工程と、第一の突起電極と、第二の突起電極とを位置あわせする工程と、第一と第二の突起電極のうち硬度が高い突起電極の少なくとも一部を他の突起電極に埋設するように接続する工程と、第一及び第二の突起電極の周囲に絶縁材を充填する工程を含むことを特徴とするものであり、絶縁材は第一及び第二の突起電極の接続をより強化する。

【0029】本発明の請求項18に記載の半導体装置の製造方法は、第一の半導体素子と第二の半導体素子又は配線基板上に、硬度が異なる第一と第二の突起電極をそれぞれ形成する工程と、第一の突起電極と、第二の突起電極とを位置あわせする工程と、第一及び／又は第二の突起電極の周囲に絶縁性樹脂を塗布する工程と、第一と第二の突起電極のうち硬度が高い突起電極の少なくとも一部を他の突起電極に埋設するように接続する工程と、絶縁性樹脂を硬化させる工程とを含むことを特徴とするものであり、絶縁性樹脂を塗布した後に絶縁性樹脂を効果させることにより、第一と第二の突起電極同士の接続がより強化される。

【0030】本発明の請求項19に記載の半導体装置の製造方法は、第一の半導体素子と第二の半導体素子又は配線基板上に、硬度が異なる第一と第二の突起電極をそれぞれ形成する工程と、第一の突起電極と、第二の突起電極とを位置あわせする工程と、第一及び／又は第二の

突起電極上に還元剤を含む絶縁性樹脂を塗布する工程と、第一と第二の突起電極のうち硬度が高い突起電極の少なくとも一部を他の突起電極に埋設するように接続する工程と、絶縁性樹脂を硬化させる工程とを含むことを特徴とするものであり、絶縁性樹脂に含まれる還元剤が第一及び第二の突起電極の接合により破碎され、これにより第一及び第二の突起電極の表面に付着する酸化物を除去する作用を期待することができる。

【0031】本発明の請求項20に記載の半導体装置の製造方法は、第一の半導体装置の突起電極と、第二の半導体装置又は配線基板上の基板電極を接触させる工程と、還元剤が混入された絶縁性樹脂を第一の半導体装置の突起電極及び／または第二の半導体装置または配線基板の基板電極に塗布する工程と、絶縁性樹脂を硬化する工程を含むことを特徴とするものであり、絶縁性樹脂に含まれる還元剤がそれぞれの突起電極により破碎され、それぞれの突起電極の表面に付着する酸化物が除去される作用を有する。

【0032】本発明の請求項21に記載の半導体装置は、互いの素子電極が電気的に接合されてなる第一及び第二の半導体装置又は配線基板と、第一の半導体装置と、第二の半導体装置又は配線基板の間に充填され、酸化物を除去する還元剤を含む絶縁性樹脂層とを備えることを特徴とするものであり、互いの素子電極に付着する酸化物が還元剤により除去された半導体装置を提供することが可能となる。

【0033】本発明の請求項22に記載の半導体装置は、半導体素子の能動面を被覆して形成され、半導体素子の能動面に設けられた素子電極を臨ませた開口部を有する保護層と、開口部の内部において素子電極を被覆するバリア層と、バリア層を被覆した拡散防止層と、拡散防止層上に設けられ、素子電極及び前記バリア層よりも硬度が低い突起電極とを備えた第一の半導体装置と、突起電極と結合された電極を備えた第二の半導体装置と、突起電極と電極との近傍に充填され、還元剤が混入されてなる絶縁性樹脂とを備えることを特徴とするものであり、バリア層は保護層に形成された開口部内部のみに形成されるため小型化に適した半導体装置を提供することができるとともに、突起電極によって機械的ストレスは吸収され、かつ還元剤により突起電極の表面に付着した酸化物が除去された半導体装置を提供することが可能となる。

【0034】(実施例) 図1は本発明の半導体装置の好適な一実施例の断面図を示す。半導体素子31の内部にはトランジスタや配線、コンタクトなどの能動層32が設けられる。またこの半導体素子31の能動面上にはA1電極などのような素子電極33が30μm程度の間隔で形成されている。ここでの素子電極33はA1中に0.5%のCuを混合させた材料からなり、0.6μm程度の厚みを有するものである。しかしながら素子電極

33の材料はA1を主成分とする電極のみに限られることはなく、Cuを主成分とする電極などであっても差し支えない。

【0035】また、この半導体素子31の能動面上には0.8μm程度の厚みのSi窒化膜である保護層34が形成されている。さらに保護層34には、1.5μm程度の内径を有し、かつ半導体素子31の素子電極33を露出させる開口部が互いに離間して形成されている。この保護層34は低融点ガラスを用いたものを用いても差し支えない。さらにそれぞれの開口部の内部には厚みが0.3μm程度のNiめっき層がバリア層35として素子電極33を被覆するように設けられている。さらに0.5μm程度の厚みを有する拡散防止層36がバリア層35を被覆するように設けられている。さらにこの拡散防止層36上には高さ10μm程度の突起電極37が形成されている。

【0036】ところで、この好適な実施例においては、バリア層35と拡散防止層36との厚みの合計が保護層34の厚みとほぼ合致するようとしているが、バリア層35および拡散防止層36が保護層34の開口部内にのみ形成されればよいので、バリア層35及び拡散防止層36の厚みの合計が保護層34の厚みよりも小となるようにしても差し支えない。しかしながら、バリア層35及び拡散防止層36の厚みの合計が、保護層34の厚みとほぼ合致していると、配線基板への実装、あるいは半導体装置同士の接合の場合に、接合状態が規制されることになって安定することが期待される。またさらにバリア層35、拡散防止層36及び突起電極37は、開口部の内径と実質的に同じ径を有するように構成されることが好ましい。

【0037】このとき、突起電極37はA1やNiよりも硬度の低い材料であるIn等により形成されている。このようにすると、後述するように、半導体装置を他の電極に押圧した時に、バリア層や素子電極を介して能動層に伝達される機械的ストレスが突起電極により吸収される。例えばNiのビックアース硬度は450～500HV程度、Inのビックアース硬度は1～4HV程度であるので、Inよりなる突起電極37が主として塑性変形し、バリア層35、素子電極33を介して能動層32に伝達される機械的ストレスが減少される。

【0038】ここで拡散防止層36は次のようにして形成される。まずバリア層35を構成するNiめっき膜上に、図2に示すように0.1μm程度の厚みのAuのフランシュめっき膜である拡散防止層形成用膜38を形成する。Auのビックアース硬度は30～40HV程度である。この拡散防止層形成用膜38上にInからなる突起電極37を接続すると、AuおよびInの相互拡散によって厚みが0.5μm程度まで増大した金属間化合物であるAuIn₂が形成され、これが拡散防止層36となる。

【0039】この拡散防止層36は、Ni及びInの相互拡散を防止し、かつ、バリア層35と突起電極37との密着状態を確保するために形成されたものである。さらに、突起電極37の材料はInのみに限定されるものではなく、素子電極33及びバリア層36よりも硬度が低いものであればよく、また拡散防止層形成用膜38はAuのみに限定されず、例えばPdやInとPbの合金等であってもよい。

【0040】すなわち、本発明の好適な実施例による半導体装置においては、バリア層35及び拡散防止層36が保護層34の開口部内にのみ形成されており、かつ突起電極37が拡散防止層36を介した上でバリア層35に形成されている。このため、開口部の外側まで広がったバリア層をエッチングによって形成する必要がなくなり、突起電極37のサイズ、並びに離間スペースを微細化することが可能となる。本実施例の場合、開口部径は15μm、隣接する開口部同士の距離は30μm程度とすることが可能である。また突起電極37の硬度が素子電極33及びバリア層35の硬度よりも低くなっているため、配線基板等に対する半導体装置の実装において、突起電極37を介した機械的ストレスが吸収され、能動層32まで伝達される可能性が減じられる。

【0041】次にかかる半導体装置の製造方法は図2の側面図を参照して下記のように説明される。まず、スパッタ法を利用してAl等からなる素子電極33のそれぞれが半導体素子31の能動面32上に離間した状態で形成される。またCVD法を用いて半導体素子31の能動面32上にSi窒化膜の保護層34が形成される。この後、保護層34の所定位置毎に素子電極33を露出させる開口部が形成される。続いてこの開口部から露出した素子電極33上にバリア層35として機能するNiめっき膜が無電解めっき法によって形成される。さらに、拡散防止層36を形成するための拡散防止層形成用膜38となるAuのフラッシュめっき膜が無電解めっき法によりバリア層35上に形成され、この拡散防止層形成用膜38上にInからなる突起電極37が形成される。このInからなる突起電極37を半導体素子に転写する工程が図3(a)～(c)を参照しながら以下に説明される。

【0042】図3(a)に示されるように、加圧治具40は第一の半導体素子31を把持する。半導体素子31にはバリア層35として機能するNiめっき膜と、その表面に加工された拡散防止層形成用膜38として機能するAuのフラッシュめっき膜が形成されている。一方、SiO₂基板50上に形成されたITO基板51上に、In塊52が接着されている。さらにITO基板51上には還元剤53がIn塊52を被覆するように塗布される。

【0043】In塊53と拡散防止層形成用膜38とが位置あわせされたのち、半導体素子31が加圧治具40

によってSiO₂基板50に向けて押圧される。In塊52のITO基板51に対する密着性はあまり高くないので、In塊52は容易に半導体素子31に転写される。また、Inの硬度は低いので、図3(b)に示すごとく、その形状は歪んだものとなる。さらに還元剤53の一部も半導体素子31に転写される。

【0044】こうして転写されたIn塊52は、加圧治具40によって加熱され、図3(c)に示されるように半球状の突起となり、これが突起電極37となる。そして、拡散防止層形成用膜38とIn塊52が相互拡散して、拡散防止層36が形成される。このとき拡散防止層形成用膜38はIn塊52の全体に拡散することはない。従って突起電極37の硬度はInの硬度とほぼ変わりないと考えて良い。このため、突起電極37の高さが低くとも、突起電極37の変形性能は損なわれることはない。

【0045】このように還元剤53を予め塗布した状態でIn塊52を半導体装置31に転写することにより、In塊52と拡散防止層形成用膜38として作用するAuフラッシュめっき層との間の酸化物が除去されて、In塊52とAuフラッシュめっき層との間の接続の信頼性が向上する。また、成形された突起電極の表面を被膜する酸化物が、還元剤を塗布しない場合に比べて、格段に除去されているので、例えば突起電極と他の電極との接続においても接続の信頼性が向上する。

【0046】次に図1に示す半導体装置を用いて、一対の半導体装置を接合することも可能であり、この場合同一機能を有する単体の半導体装置よりも小型化され、かつ専有面積が小さい半導体装置の組み合わせを得ることが可能である。一対の半導体装置を接合する場合には、これらの半導体装置が外圧によって互いに押圧される。この時の圧力が素子電極33、バリア層35等を介して半導体素子31の能動面32に伝達されることになる。ところが、本発明の半導体装置では開口部の径が直径15μm程度と非常に小さいため、従来の半導体装置に比べて、能動面32に単位面積当たりに加わる圧力が大きくなり、その機械的ストレスによる影響が懸念される。

【0047】図4にはかかる問題点をも克服した半導体装置の組み合わせの構成が示されている。図4においては、一対の半導体装置が図示されているが、各々の半導体装置の構造は図1に示した半導体装置と同一の構造を有するので、図1に示す実施例と同等の部分には同じ番号を付与し、その説明は適宜省略する。図4に示す半導体装置の組み合わせは、一対の半導体装置のそれぞれの突起電極37同士が互いに接続されている。一対の半導体装置のそれぞれの保護層37間に絶縁性樹脂39が充填される。

【0048】すなわち、かかる半導体装置の組み合わせにおいて、各々の半導体装置は保護層34に形成された開口部、及び開口部内に設けられたバリア層35及び拡

散防止層36を有している。そして各々の半導体装置は素子電極33及びバリア層35よりも硬度が低い突起電極37を共有して、相互に接続されている。かかる半導体装置の組み合わせは以下の示す製造方法に従って作製される。

【0049】まず、図1に示される半導体装置が1組準備される。そして各々の半導体装置の突起電極37同士が互いに位置合わせされ、すくなくともいずれか一方の半導体装置の保護層34上にエポキシ樹脂などの絶縁性樹脂39が所要量塗布される。その後一方の半導体装置が他方に対して押圧され、かつ加熱されることによって突起電極37同士が固着されるとともに、絶縁性樹脂39が硬化される。このプロセスにより主として突起電極37が塑性変形し、加えられる外圧がバリア層35や素子電極33を介して能動層32に伝わる影響が減じられる。またそれぞれの半導体装置の反りや、それぞれの突起電極37の高さのばらつきも吸収される。

【0050】この実施例においては、一対の半導体装置の一方を配線基板に置き換えることも可能である。すなわち、配線基板上の基板電極と半導体装置とが半導体装置に形成された突起電極により接合される。図5は半導体装置の組み合わせの他の製造方法を示す。図5の実施例においては、図1の実施例に示す半導体装置（これをxとする）と、図1の実施例に示す半導体装置のうち拡散防止層36及び突起電極37を除いた構成を有するサブ半導体装置（これをyとする）が準備される。ただしサブ半導体装置yのバリア層35上には拡散防止層形成用膜38が形成されているものとする。このような半導体装置xの突起電極37とサブ半導体装置yの拡散防止層形成用膜38とが位置あわせされる。次いで半導体装置xあるいはサブ半導体装置yの少なくともいずれか一方の保護層34上に絶縁性樹脂39が塗布される。この実施例においては、サブ半導体装置yの保護層34上に絶縁性樹脂39が塗布される。

【0051】引き続いて半導体装置xあるいはサブ半導体装置yの少なくともいずれか一方が他方に対して加圧され、かつ加熱される。するとサブ半導体装置yの拡散防止層形成用膜38と半導体装置xの突起電極37とが相互拡散し、厚みの増加した拡散防止層36がサブ半導体装置yのバリア層35上に形成される。そして半導体装置x及びサブ半導体装置yは突起電極37によって互いに固着され、さらに絶縁性樹脂39が硬化されることによって、半導体装置xおよびサブ半導体装置yが一体化される。

【0052】なお、サブ半導体装置yに代えて、拡散層形成用膜38が施された電極を有する他の電気装置、例えば配線基板なども上記実施例に適用され得る。次に、半導体装置の組み合わせのさらに他の一実施例の構造が以下に説明される。図6においては説明の簡略化の都合上、使用される半導体装置の構成として、半導体

素子31、素子電極33及び突起電極37のみが図示されるが、図1に図示される半導体装置の構成を適用することも可能である。

【0053】まず、第一の半導体素子31aの表面には第一の突起電極37aが形成され、一方第二の半導体素子31bの表面には第二の突起電極37bが形成されている。これら第一の突起電極37a及び第二の突起電極37bはそれぞれ電気的に接続されている。さらに第一の半導体素子31aと第二の半導体素子31bとの間に絶縁性樹脂39が充填されている。ここで第二の突起電極37bは第一の突起電極37aよりも硬度が低く、さらに好ましくは面積が大きく形成されている。例えば第一の突起電極37aはNiにAu層を形成したものが用いられ、第二の突起電極37bはNiにAu層を形成した後、さらにInを形成したものが用いられる。Inのビッカース硬度は1～4Hv程度と非常に低いため、第一の突起電極37aと第二の突起電極37bを当接させると、第一の突起電極37aの少なくとも一部、例えば先端部が第二の突起電極37bに埋没する。このように第一の突起電極37aが第二の突起電極37bに埋没するためには、第二の突起電極37bのビッカース硬度が1～20Hv程度であればよく、このためには第二の突起電極37bとしてInのみならずInを主成分とした合金や、Pb及びPbを主成分とする合金が適している。また第一の突起電極37aの材料としてはAu、Pd、Pt、Cu及びこれらを主成分とする合金が適している。

【0054】次に上記の半導体装置の組み合わせの製造方法が以下に説明される。図7は第一及び第二の突起電極37a、37b同士の位置あわせ工程を示す側面図である。この実施例においては第一の突起電極37aとして、寸法径が5～20μmの電極上に無電解めっき法によりNiを3～5μm、Auを0.2～2μm形成したものが用いられ、一方第二の突起電極37bとして、寸法径が20～100μmの電極上に無電解めっき法によりNiを2μm、Auを0.2μm形成した後、Inを転写やディップングによって3～5μm形成したものが用いられる。加圧治具40は第一の半導体素子31aを吸着する吸着装置（図示せず）を有し、この吸着装置は第一の半導体素子31aを吸着する。加圧治具40はこうして第一の半導体素子31aを吸着したまま第一の半導体素子31aを搬送し、第一の突起電極37aと第二の突起電極37bを位置あわせる。

【0055】図8は第一及び第二の突起電極37a、37bの接続工程を示す側面図である。加圧治具40を用いて、一つの突起電極あたり5g以下の荷重で第一の突起電極37a及び／又は第二の突起電極37bが加圧され、接続される。このとき第二の突起電極37bの主たる成分であるInはビッカース硬度は1～4Hv程度と非常に柔らかく、一方第一の突起電極37aを構成する

Niのビッカース硬度は450～500 Hv、Auのビッカース硬度は40～50 Hvと硬いため、第一の突起電極37aの少なくとも一部、例えば先端部は容易に第二の突起電極37bに埋没され、電気的な接続が得られる。このとき、好ましくは第一の突起電極37aは第二の突起電極37bに2～4 μm埋没する。

【0056】図9は第一の半導体素子31aと第二の半導体素子31bとの間に絶縁性樹脂39を充填する工程を示す側面図である。この工程では第一の半導体素子31aと第二の半導体素子31bとの間に作用する毛細管現象を利用して絶縁性樹脂39が充填される。

【0057】図10は絶縁性樹脂39を硬化させる工程を示す側面図である。接続した第一の半導体素子31a及び第二の半導体素子31bの好ましくは斜め上方より、紫外線ランプ41により紫外線が照射される。図11は加圧治具40による加圧、及び紫外線ランプ41による紫外線の照射を除去する工程を示す側面図である。加圧及び紫外線の照射が除去されると、図6に示した一対の半導体素子の組み合わせが形成される。

【0058】この好適な実施例によれば、第二の突起電極37bが第一の突起電極37aより面積が大きく、かつ硬度が低いので、第一の突起電極37aの先端部が第二の突起電極37bに埋没され、低温、低荷重での接続が可能となる。このため、従来行われていた高温、高荷重による一対の半導体素子の接合方法を用いた場合に懸念される、それぞれの半導体素子の特性劣化を招く恐れが少くなり、信頼性の高い半導体素子の組み合わせを提供することが可能となる。また第一の突起電極37aが第二の突起電極37bに埋没されて接続されるので、安定した接続が期待できる。

【0059】次にさらなる半導体装置の組み合わせの製造方法が以下に記述される。この実施例における第一の突起電極37aはNiを形成したものが使用され、第二の突起電極37bはNiおよびAuを形成したあと、In-Sn合金を形成したものが使用される。より詳しくは、第一の突起電極37aは無電解めっき法によりNiを3 μm形成したものが、また第二の突起電極37bは無電解めっき法によりNiを1 μm、Auを0.2 μm形成した後、In-Sn合金を転写やディッピングにより3～5 μm形成したものが用いられる。また第一の突起電極37aの寸法径は5～20 μm、第二の突起電極37bの寸法径は20～100 μm程度である。その他の構成については図6に示した半導体装置の組み合わせと同じ構成が用いられる。

【0060】図12に示されるように、第一の半導体素子31aと第二の半導体素子31bのそれぞれの突起電極37a及び37bは加圧治具40によって接触される。図13は第一及び第二の半導体素子の少なくともいずれか一方、例えば第二の半導体素子31a上に紫外線硬化型の絶縁性樹脂39を塗布する工程を示す側面図で

ある。すなわちこの工程においては第一の半導体素子31aおよび第二の半導体素子31bを接続する前に絶縁性樹脂39が少なくとも一方の半導体素子上に塗布される。図14は第一の突起電極37a及び第二の突起電極37bの接続及び紫外線を照射する工程を示す側面図である。すなわち加圧治具40を用いて一つの突起電極あたり5g以下の荷重で第一及び第二の突起電極が加圧されることにより第一の突起電極37aの先端部は第二の突起電極37bに2 μm程度埋没する。その後紫外線ランプ41によって紫外線が照射され、絶縁性樹脂39が硬化される。図15は加圧治具40と紫外線ランプ41を除去する工程を説明するための側面図である。以上の工程により第一の半導体素子31aと第二の半導体素子31bは相互に接続される。

【0061】この好適な実施例によれば、第一の突起電極37aと第二の突起電極37bとを接続するより前に絶縁性樹脂39が塗布され、接続後に紫外線によって絶縁性樹脂39が硬化される。従って、絶縁性樹脂39を第一の半導体素子31aと第二の半導体素子31bとの間に容易に介在させることが可能となる。以上の様に一対の半導体素子を積層して得られる半導体素子の組み合わせにおいては、突起電極の表面に付着した酸化物を除去するため、還元剤としての還元剤、例えばアビエチン酸を主成分とする還元剤を用いて、予め突起電極の表面を被覆する酸化物を除去することが好ましい。

【0062】酸化物を除去するために使用される還元剤は、半導体装置の組み合わせ工程を完了した後で洗浄されるか、あるいは加熱によって揮発する還元剤を排出する必要がある。ところが本発明によって実装効率を高められた半導体装置においては、突起電極の高さやピッチが小さくなり、こうした還元剤の洗浄工程や排出工程を十分に行うために、比較的長い時間を要していた。

【0063】このため本発明では、一対の半導体装置の接続に当たって使用される絶縁性樹脂として、還元剤が混入された絶縁性樹脂を用いることでこうした欠点を克服することが可能となる。図16は例えば図3で示した本発明にかかる半導体装置を配線基板25にフェイスダウンボンディング法で実装した構成を示す側面図である。なおここでの突起電極37はSn-Pb系半田などの低融点金属からなるものとし、10 μm以下の高さを有するものであり、素子電極33上に電解メッキや蒸着などの方法で形成されているものとする。

【0064】一方配線基板25はガラスセラミック基板などであり、配線基板25の表面には基板電極27が形成されている。ここでは基板電極27はCuやNiからなる金属膜の表面上を、数μm程度の膜厚のSn-Pb系半田で被覆したものが用いられる。半導体装置31の保護層34と、配線基板25との間には絶縁性樹脂39が充填されている。この絶縁性樹脂39は1500c.p.s.程度の粘度を有するエポキシ樹脂のような熱硬

化性樹脂であるとともに、その内部に酸化物を除去するための還元剤であるところの、例えばアビエチン酸を主成分とする還元剤42が混入されている。そして突起電極37と基板電極27とが互いに導通接続されている。この時、突起電極37と基板電極27によって還元剤42が破碎され、突起電極37あるいは基板電極27の表面を被覆していた酸化物は、還元剤42の破碎、分散に伴って除去される。

【0065】この還元剤42は市販されている無洗浄タイプの還元剤を200°C程度の温度に保たれた活性雰囲気中に噴霧した上で急冷することによって少なくとも外表面を硬化した塊状となったものである。あるいは塊状となった還元剤42の外表面をエポキシ樹脂などの絶縁樹脂や、ポリイミドなどの熱可塑性樹脂で被覆したもの、あるいは、粉末状や液体状とされた還元剤42を絶縁樹脂や熱可塑性樹脂からなるカプセル中に封入したものが還元剤42として適用できる。そして還元剤42の外表面を絶縁性樹脂39と同質の絶縁性樹脂で被覆しておいたり、絶縁性樹脂39と同質のカプセル中に還元剤42を封入しておけば、還元剤42と絶縁性樹脂39との間の密着性が高まり、半導体装置を配線基板に実装する場合に加えられる加圧力が少なくてすむ。

【0066】また絶縁性樹脂39に混入される還元剤42の配合比率は40～80体積%の範囲とされる。これはこの範囲内であれば、互いに当接しあう突起電極37と基板電極27との間に還元剤42が存在する確率が極めて高くなるからである。一方、配合比率が40体積%未満である場合には還元剤42が少量過ぎて酸化物の十分な除去効果が期待できず、また配合比率が80体積%を越える場合には絶縁性樹脂39による十分な保護効果が得られないことが予測される。

【0067】図17(a)及び図17(b)はそれぞれ半導体装置を配線基板に実装する工程を示すための側面図である。図17(a)に図示されるように、半導体素子31と配線基板25とが互いに対向して配置され、さらに突起電極37と基板電極27とが位置あわせされる。そして塊状などの還元剤42が混入された熱硬化性の絶縁樹脂39が滴下等の方法で配線基板25上に塗布される。引き続き図17(b)に示されるように、半導体素子31が加圧されて配線基板25に押しつけられ、突起電極37と基板電極27とが当接される。このとき絶縁樹脂39に混入された塊状の還元剤42は突起電極37と基板電極27によって挟み込まれ、破碎される。破碎された還元剤42は突起電極37や基板電極27の表面上に分散し、酸化物を除去することが可能となる。

【0068】さらに突起電極37と基板電極27とを互いに当接させながら半導体素子31を加熱すると、突起電極37と基板電極27とは金属拡散によって物理的かつ電気的に接続される。また突起電極37と基板電極27との間に塗布された絶縁性樹脂39も同時に硬化させ

られる。なお、この製造方法においては、半導体素子31に圧力が加えられた状態で加熱されるようしているが、予め絶縁性樹脂39の粘度や粘着性を高めておけば、半導体素子31への加圧を続ける必要はなく、また半導体素子31のみならず配線基板25を同時に加熱してもよい。また絶縁性樹脂39に混入される還元剤としての還元剤42は塊状である必要はなく、絶縁性樹脂や熱可塑性樹脂製のカプセル中に粉末状や液体状にされた還元剤を混入したものであってもかまわない。

【0069】このようにすると、従来では配線基板の表面上に塗布した還元剤を洗浄あるいは揮発させた後で絶縁性樹脂が充填されていたのに対し、上記した好適な実施例においては、還元剤の洗浄あるいは揮発作業工程が不要になる。また、洗浄にともなう機械的ストレスが突起電極に加わることもなく、さらに揮発成分を排出する排出用の間隙を設ける必要もなくなり、小型化された半導体装置にとって特に有益である。

【0070】尚、以上説明した各実施例においては、発明の趣旨を逸脱しない範囲で種々の応用が可能である。

【0071】

【発明の効果】以上説明したように、本発明にかかる半導体装置は、保護層の開口部のみにバリア層及び拡散防止層が形成されているので、突起電極のサイズ及びピッチを微細化することが可能となる。また好ましくは突起電極は素子電極及びバリア層よりも硬度が低いので、かかる半導体装置の実装にあたって加えられる圧力による機械的ストレスが半導体素子の能動層に伝達される危険性が少なくなる。

【0072】また一対の半導体装置の組み合わせた構造において、一方の突起電極が他方の突起電極に埋没され得るよう硬度を異ならせているので、一対の半導体装置の実装時の機械的ストレスが半導体素子の能動層に伝達される危険性が少なくなる。さらに、半導体装置同士の組み合わせ、あるいは半導体装置の配線基板への実装時に用いられる絶縁性樹脂には、還元剤を混入させたので、還元剤の洗浄作業、あるいは揮発する還元剤の排出過程を必要としないで半導体装置の組み合わせを提供することが可能となる。

【図面の簡単な説明】

【図1】本発明にかかる半導体装置の一実施例の構成を示す断面図

【図2】本発明にかかる半導体装置の製造工程の一実施例を示す工程図

【図3】本発明にかかる半導体装置に突起電極を転写する工程を示す工程図

【図4】本発明にかかる半導体装置を用いた半導体装置の組み合わせの一実施例を示す断面図

【図5】本発明にかかる、一対の半導体装置を接続する工程の一実施例を示す工程図

【図6】さらに本発明にかかる、一対の半導体装置の組

み合わせの一実施例を示す断面図

【図7】本発明にかかる、一対の半導体装置の組み合わせを製造する工程の一実施例を示す工程図

【図8】本発明にかかる、一対の半導体装置の組み合わせを製造する工程の一実施例を示す工程図

【図9】本発明にかかる、一対の半導体装置の組み合わせを製造する工程の一実施例を示す工程図

【図10】本発明にかかる、一対の半導体装置の組み合わせを製造する工程の一実施例を示す工程図

【図11】本発明にかかる、一対の半導体装置の組み合わせを製造する工程の一実施例を示す工程図

【図12】本発明にかかる、一対の半導体装置の組み合わせを製造する工程の他の一実施例を示す工程図

【図13】本発明にかかる、一対の半導体装置の組み合わせを製造する工程の他の一実施例を示す工程図

【図14】本発明にかかる、一対の半導体装置の組み合わせを製造する工程の他の一実施例を示す工程図

【図15】本発明にかかる、一対の半導体装置の組み合

わせを製造する工程の他の一実施例を示す工程図

【図16】本発明にかかる半導体装置と配線基板との接続の一実施例を示す断面図

【図17】本発明にかかる半導体装置と配線基板との接続工程の一実施例を示す工程図

【図18】従来の半導体装置の一例を示す断面図

【図19】他の従来の半導体装置の一例を示す断面図

【符号の説明】

31 半導体素子

32 能動層

33 素子電極

34 保護層

35 バリア層

36 拡散防止層

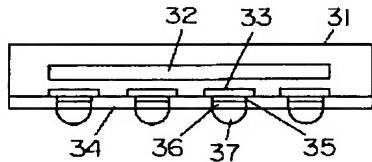
37 突起電極

38 拡散防止層形成用膜

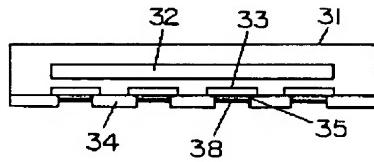
39 絶縁性樹脂

42 還元剤

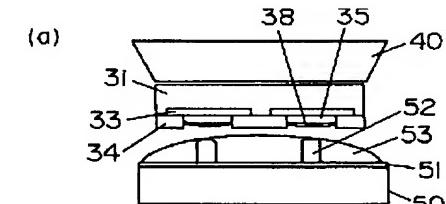
【図1】



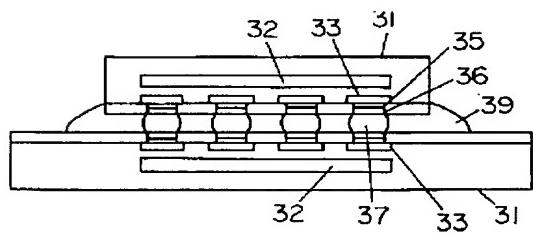
【図2】



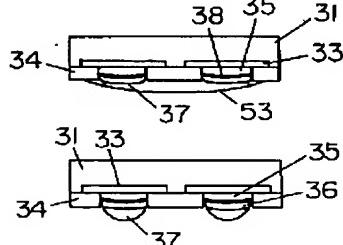
【図3】



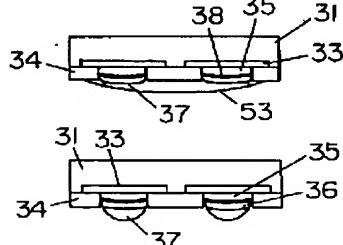
【図4】



(a)

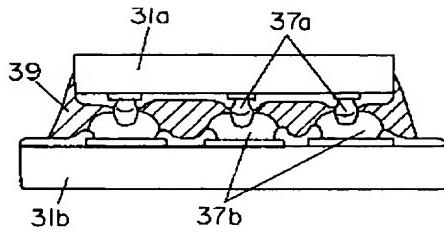


(b)

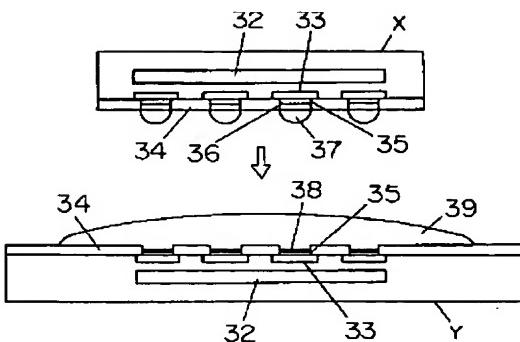


(c)

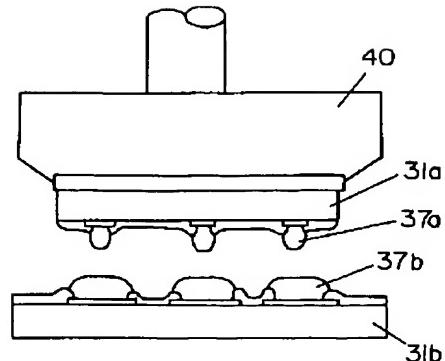
【図6】



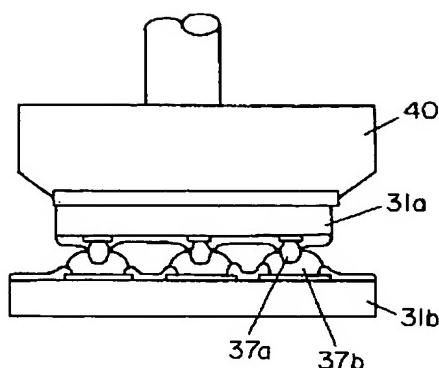
【図5】



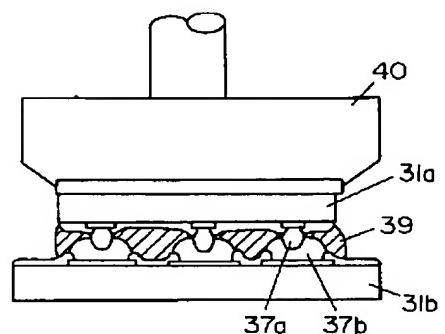
【図7】



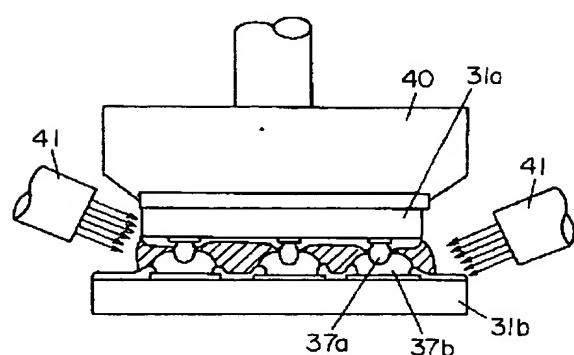
【図8】



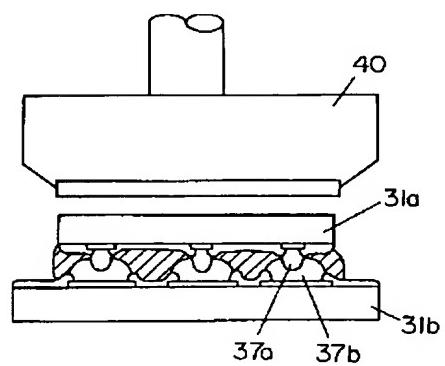
【図9】



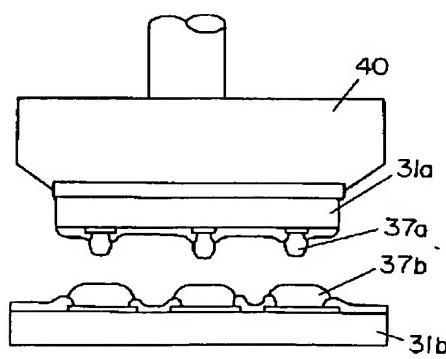
【図10】



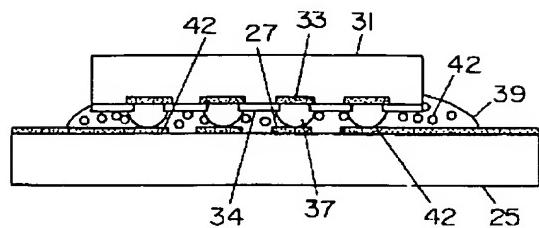
【図11】



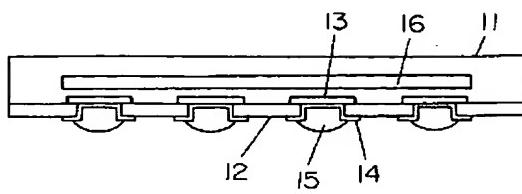
【図12】



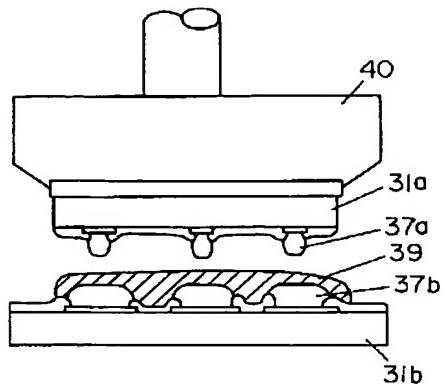
【図16】



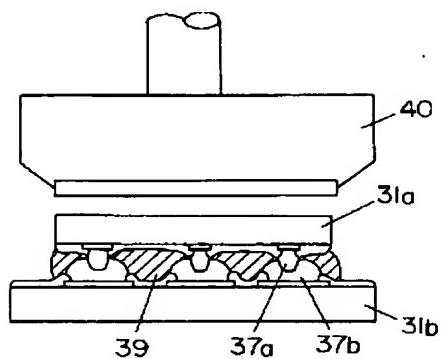
【図18】



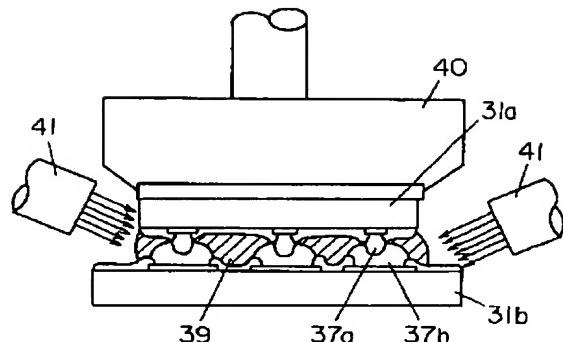
【図13】



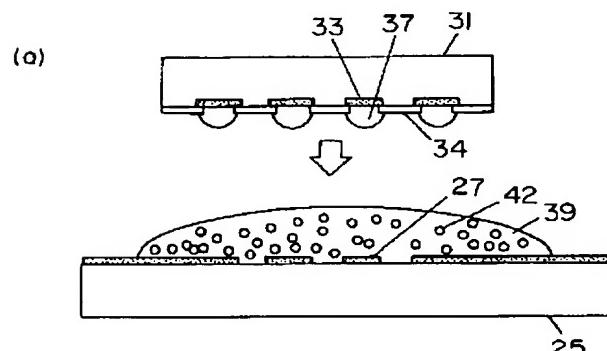
【図15】



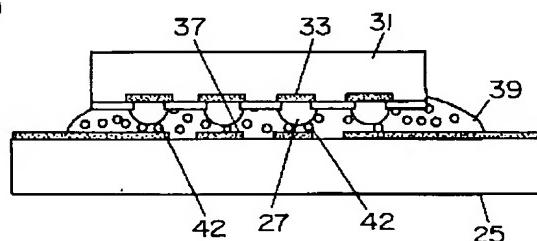
【図14】



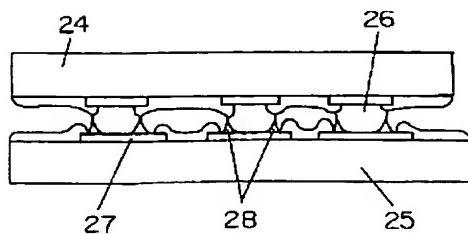
【図17】



(b)



【図19】



フロントページの続き

(72)発明者 藤本 博昭
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-110084

(43) Date of publication of application : 11.04.2003

(51)Int.CI. H01L 25/065
H01L 25/07
H01L 25/18

(21) Application number : 2001-302288

(71)Applicant : ROHM CO LTD

(22) Date of filing : 28.09.2001

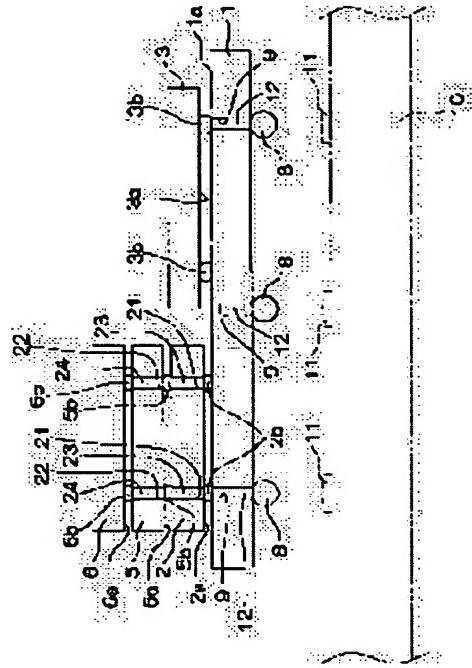
(72)Inventor : SHIBATA KAZUTAKA

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which transmission rate of signal can be enhanced.

SOLUTION: A master chip 1 and slave chips 2 and 3 are flip-chip connected while facing the active face 1a with the active faces 2a and 3a. Wiring is formed on each active face 1a, 2a and 3a of the master chip 1 and slave chips 2, 3 by a semiconductor process. The master chip 1 is provided with a through hole 9 penetrating it in the thickness direction and filled with a conductor 12. A bump 8 is provided directly under the through hole 9 as a terminal for external connection. The wiring and the bump 8 on the active face 1a are connected electrically through the conductor 12.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-110084

(P2003-110084A)

(43)公開日 平成15年4月11日 (2003.4.11)

(51) Int.Cl.
H 01 L 25/065
25/07
25/18

識別記号

F I
H 01 L 25/08

テマコート(参考)
B
Z

審査請求 未請求 請求項の数4 O.L (全6頁)

(21)出願番号 特願2001-302288(P2001-302288)

(22)出願日 平成13年9月28日 (2001.9.28)

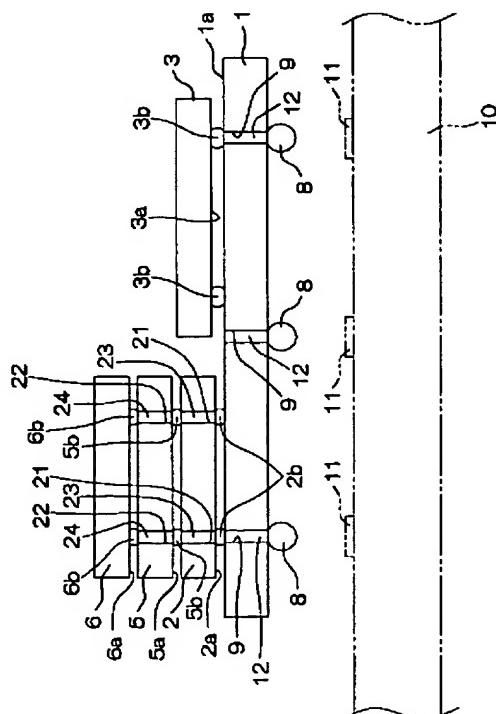
(71)出願人 000116024
ローム株式会社
京都府京都市右京区西院溝崎町21番地
(72)発明者 柴田 和孝
京都市右京区西院溝崎町21番地 ローム株
式会社内
(74)代理人 100087701
弁理士 稲岡 耕作 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】信号の伝送速度を向上させることができる半導体装置を提供する。

【解決手段】親チップ1と子チップ2, 3とは、それぞれの活性面1aと活性面2a, 3aとが対向されてフリップチップ接続されている。親チップ1および子チップ2, 3のそれぞれの活性面1a, 2a, 3aには、機能素子および半導体プロセスによる配線が形成されている。親チップ1には、親チップ1を厚さ方向に貫通するスルーホール9が設けられている。スルーホール9の内部には、導電体12が充填されている。スルーホール9の直下には、外部接続用の端子としてのバンプ8が設けられている。活性面1a上の配線とバンプ8とは、導電体12により電気的に接続されている。



【特許請求の範囲】

【請求項1】 第1の半導体チップと、互いに横方向に配された第2の半導体チップおよび第3の半導体チップとを活性面を対向させて相互接続して構成される半導体装置であって、

上記第2の半導体チップおよび上記第3の半導体チップが、それぞれ活性面に機能素子を備えており、上記第1の半導体チップが、活性面上に上記第2の半導体チップおよび上記第3の半導体チップを接続する配線を備えており、活性面とは反対側の面に外部接続用の端子を備えていることを特徴とする半導体装置。

【請求項2】 上記第1の半導体チップが、活性面上に機能素子を備えていることを特徴とする請求項1記載の半導体装置。

【請求項3】 上記第1の半導体チップが、スルーホールを有することを特徴とする請求項1または2記載の半導体装置。

【請求項4】 上記第2の半導体チップおよび上記第3の半導体チップが、それぞれ内部の機能素子を相互に接続する配線を備えており、

上記第1の半導体チップの配線が、上記第2の半導体チップの配線および上記第3の半導体チップの配線より断面積が大きいことを特徴とする請求項1ないし3のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体チップの表面に他の半導体チップを重ね合わせて接続するチップオンチップ構造を有する半導体装置に関する、特に信号を高速伝送可能な半導体装置に関する。

【0002】

【従来の技術】 信号伝送速度の向上を目的とした半導体装置として、マルチチップモジュールがある。マルチチップモジュールにおいては、1つのパッケージ内で配線基板上に複数の半導体チップが高密度に実装され、半導体チップを相互に接続する配線が短くされることにより、信号の高速伝送を図っている。配線基板上には、機能素子が形成された複数の半導体チップが実装されており、個々の半導体チップは、配線基板にフェイスダウン状態で接続（フリップチップ接続）されている。配線基板としては、通常、絶縁基板に多層配線が施されたものが用いられる。すなわち、配線基板は、表層の配線、内層各層の配線、および層間を接続する配線を含んで構成されている。

【0003】 配線基板上に実装された半導体チップの上には、さらに他の半導体チップが積み重ねて配置されてチップオンチップ構造が形成される場合もある。このようなマルチチップモジュールにおいては、配線基板と半導体チップとの間、および配線基板における半導体チップ相互間の配線長を短くすることにより、各半導体チッ

プに形成された機能素子間の信号の高速伝送を実現しようとしている。また、配線基板の下面に設けたバンプなどを介して、他の配線基板などに接続可能なため、外部接続のための配線長も比較的短く、外部との信号の伝送も或る程度高速に行うことが可能である。

【0004】

【発明が解決しようとする課題】 ところが、このようなマルチチップモジュールにおいて、配線基板の配線は、半導体プロセスによる配線に比して、配線幅や配線相互の間隔が広い。このため、配線基板上に半導体チップを相互に密に実装した場合でも、配線が相互に干渉しないように配置するためには、配線の層数を増やすなどの必要があり、結局配線長は長かった。そのため、信号の伝送速度を充分に高くすることができなかつた。

【0005】 また、半導体チップは絶縁基板を用いた配線基板を介して外部接続されるので、配線長の短縮には限界があり、外部接続における信号伝送速度を充分に高くすることができなかつた。そこで、この発明の目的は、信号の伝送速度を向上させることができる半導体装置を提供することである。

【0006】

【課題を解決するための手段および発明の効果】 上記の課題を解決するための請求項1記載の発明は、第1の半導体チップ（1）と、互いに横方向に配された第2の半導体チップ（2）および第3の半導体チップ（3，4）とを活性面（1a，2a，3a）を対向させて相互接続して構成される半導体装置であって、上記第2の半導体チップおよび上記第3の半導体チップが、それぞれ活性面上に機能素子（2c，3c）を備えており、上記第1の半導体チップが、活性面上に上記第2の半導体チップおよび上記第3の半導体チップを接続する配線（L123）を備えており、活性面とは反対側の面に外部接続用の端子（8）を備えていることを特徴とする半導体装置である。

【0007】 なお、括弧内の英数字は後述の実施形態における対応構成要素等を示す。以下、この項において同じ。第1の半導体チップの配線は、半導体プロセスにより形成されるものであり、配線幅や配線相互の間隔は、たとえば、 $1\text{ }\mu\text{m}$ 以下とができる。絶縁基板を用いた配線基板では、配線の幅や配線相互の間隔が数十 μm ないし数百 μm 程度であるので、これらに比べて半導体プロセスによる配線は、格段に微細である。これにより、第1の半導体チップの配線は、多層化した場合でも、長さを短くすることができる。したがって、第2の半導体チップと第3の半導体チップとを短い配線長で接続（内部接続）することができる。

【0008】 また、第1の半導体チップは、活性面の反対側の面に外部接続用の端子を備えている。外部接続用の端子は、たとえば、半田ボール等で構成されたバンプとすることができます。この外部接続用の端子を用いて、

他の配線基板などに面実装することができる。したがって、半導体チップは、配線基板を介することなく、短い距離で外部接続されるので、この半導体装置の外部との信号伝送速度は大きい。

【0009】以上のように、このような半導体装置は、内部接続、外部接続ともに短い配線長で行うことができるので、信号の伝送速度を向上させることができるのである。第1の半導体チップには、第2の半導体チップおよび第3の半導体チップ以外に、さらに他の半導体チップが接続されていてもよい。また、第2または第3の半導体チップの上には、縦方向にさらに別の半導体チップが積み重ねられて接続されていてもよい。

【0010】第1ないし第3の半導体チップを同種の半導体材料（たとえば、シリコン）で構成することにより、これらの熱膨張係数を一致させることができるので、熱膨張／収縮の差により応力が生ずることを回避できる。請求項2記載の発明は、上記第1の半導体チップが、活性面に機能素子（1c）を備えていることを特徴とする請求項1記載の半導体装置である。第1の半導体チップに配線基板としての役割以外に、機能を持たせることにより、半導体装置内において、機能素子を有する半導体チップがより密に配された状態とすることができる。これにより、半導体装置の小型化や高機能化を実現することができる。

【0011】また、第1の半導体チップが機能素子を有することにより、機能素子は第1ないし第3の半導体チップに分散配置された状態となるので、平均的な配線長を短くすることができる。すなわち、第1の半導体チップには、第1の半導体チップ内の機能素子相互間や第1の半導体チップの機能素子と第2または第3の半導体チップの機能素子との間を接続するための配線も設けられている。これらの配線の大部分は、第2および第3の半導体チップの機能素子相互間を接続するための配線と比べて短い。

【0012】これにより、従来のマルチチップモジュールのように、互いに横方向に配された半導体チップの機能素子を接続する場合と比べて、全体として配線長は短くなる。このため、信号の伝送速度をさらに向上することができる。請求項3記載の発明は、上記第1の半導体チップが、スルーホール（9）を有することを特徴とする請求項1または2記載の半導体装置である。第1の半導体チップに設けられたスルーホールは、内部に導電体が配されたものとができる。この場合、スルーホール内の導電体を介して、活性面上の配線と外部接続用の端子とを短い距離で接続することができる。このような構成により、外部との信号の伝送速度をより高くすることができる。

【0013】スルーホール内部は、たとえば、導電性ペーストを用いて導電体で充填してもよい。このような場合、スルーホール直下に外部接続用の端子を設けてもよ

い。これにより、活性面上の配線と外部接続用の端子との間の距離（第1の半導体チップの厚さにはほぼ等しい。）は、最短となる。第1の半導体チップの活性面上の配線は、すべてスルーホールを介して外部接続用の端子に接続する必要はなく、信号の高速伝送に必要な配線を優先して、スルーホールにより外部接続することができる。

【0014】請求項4記載の発明は、上記第2の半導体チップおよび上記第3の半導体チップが、それぞれ内部の機能素子を相互に接続する配線（L22, L33）を備えており、上記第1の半導体チップの配線（L11, L12, L13, L123）が、上記第2の半導体チップの配線および上記第3の半導体チップの配線より断面積が大きいことを特徴とする請求項1ないし3のいずれかに記載の半導体装置である。

【0015】第1の半導体チップの配線は、上記のように半導体プロセスにより形成されるので幅が狭い。配線は、断面積が小さくなると、単位長さあたりの抵抗が高くなり、配線全体の抵抗が増大してしまう。本発明によれば、第1の半導体チップの配線は、第2または第3の半導体チップの配線より断面積が大きい。したがって、第1の半導体チップの配線の単位長さあたりの抵抗は低いので、第1の半導体チップの配線全体の抵抗は低い。このような構成により、第1の半導体チップを配線基板として良好な機能を有するものとすることができる。第1の半導体チップの配線は、すべて同じ断面積にする必要はなく、たとえば、長い配線を優先して断面積を大きくしてもよい。

【0016】第1の半導体チップにおける配線を、第2または第3の半導体チップにおける配線よりも断面積を大きくするためには、その幅を広くしたり、その厚さを厚くしたりすればよい。

【0017】

【発明の実施の形態】以下では、添付図面を参照して、本発明の実施の形態について詳細に説明する。図1は、本発明の一実施形態に係る半導体装置の図解的な斜視図である。1つの大きな半導体チップ（親チップ）1の上に、これより小さな半導体チップ（子チップ）2, 3, 4が互いに横方向に配されるように接続されている。子チップ2の上には、さらに子チップ2とほぼ同じ大きさの子チップ5, 6が、縦方向に積層されて接続されている。

【0018】図2は、図1の半導体装置の子チップ2, 3, 5, 6を含む断面の図解的な断面図である。図3は、親チップ1および子チップ2, 3の配線を示す図解的な断面図である。親チップ1と子チップ2, 3とは、それぞれの活性面1aと活性面2a, 3aとが対向されてフリップチップ接続されている。すなわち、子チップ2, 3の活性面2a, 3aには、バンプ2b, 3bが設けられており、バンプ2b, 3bが親チップ1の活性面

1 a に設けられた電極パッド（図示せず。）に接続することにより、機械的および電気的に接続されている。親チップ1および子チップ2, 3のそれぞれの活性面1 a, 2 a, 3 aには、機能素子1 c, 2 c, 3 cがそれぞれ形成されている。

【0019】活性面1 aには、親チップ1の機能素子1 c相互間を接続する配線L1 1、親チップ1の機能素子1 cと子チップ2, 3との間を接続するための配線L1 2, L1 3、および子チップ2と子チップ3との間を接続するための配線L1 2 3が形成されている。活性面2 aには、子チップ2の機能素子2 c相互間を接続する配線L2 2、および子チップ2の機能素子2 cと親チップ1との間を接続するための配線L2 1が形成されている。活性面3 aには、子チップ3の機能素子3 c相互間を接続する配線L3 3、および子チップ3の機能素子3 cと親チップ1との間を接続するための配線L3 1が形成されている。

【0020】親チップ1の機能素子1 cと子チップ2の機能素子2 cとは、配線L1 2、バンプ2 b、および配線L2 1により接続されている。親チップ1の機能素子1 cと子チップ3の機能素子3 cとは、配線L1 3、バンプ3 b、および配線L3 1により接続されている。子チップ2の機能素子2 cと子チップ3の機能素子3 cとは、配線L2 1、バンプ2 b、配線L1 2 3、バンプ3 b、および配線L3 1により接続されている。

【0021】親チップ1の配線L1 1, L1 2, L1 3, L1 2 3は、子チップ2, 3の配線L2 1, L2 2, L3 1, L3 3より太くかつ厚く形成されて、子チップ2, 3の配線L2 1, L2 2, L3 1, L3 3よりも断面積が大きくなっている。すなわち、親チップ1と子チップ2, 3とでは、デザインルールが異なる。親チップ1には、親チップ1を厚さ方向に貫通するスルーホール9が設けられている。スルーホール9の内部には、導電体1 2が充填されている。導電体1 2は、たとえば、導電ペーストを用いて充填することができる。スルーホール9の直下には、外部接続用の端子としてのバンプ8が設けられている。バンプ8は、たとえば、半田ボールで構成されたものとすることができます。活性面1 a上の配線L1 1, L1 2, L1 3, L1 2 3とバンプ8とは、導電体1 2により電気的に接続されている。スルーホール9の一部は、親チップ1と子チップ2, 3との接合部（バンプ2 b, 3 b）の直下に設けられている。

【0022】子チップ2, 5には、子チップ2, 5を厚さ方向に貫通するスルーホール2 1, 2 2がそれぞれ設けられており、スルーホール2 1, 2 2内には、導電体2 3, 2 4がそれぞれ充填されている。子チップ5, 6の下面（親チップ1側の面）は、機能素子や配線が形成された活性面5 a, 6 aとなっている。活性面5 a, 6 aには、導電体2 3, 2 4の直上の位置に、それぞれバンプ5 b, 6 bが設けられている。バンプ5 b, 6 bと

導電体2 3, 2 4とは、導電体2 3, 2 4の上部に形成された電極パッド（図示しない。）を介して、それぞれ接合されている。これにより、子チップ2と子チップ5とは電気的に接続されており、子チップ5と子チップ6とは電気的に接続されている。

【0023】このような半導体装置の内部において、親チップ1と子チップ2, 3とは、バンプ2 b, 3 bを介して接続されている。子チップ2の機能素子2 cと子チップ3の機能素子3 cとは、親チップ1の活性面1 a上に形成された配線L1 2 3を介して接続されている。親チップ1の配線L1 2 3は、半導体プロセスによるものであるので、配線幅や配線相互の間隔は、たとえば、1 μm以下とすることができる。絶縁基板を用いた配線基板では、配線幅や配線相互の間隔が数十μmないし数百μm程度であるので、これらに比べて半導体プロセスによる配線は、格段に微細である。これにより、親チップ1の配線L1 2 3は、多層化した場合でも、長さを短くすることができる。したがって、子チップ2と子チップ3とを短い配線長で接続（内部接続）することができる。

【0024】また、親チップ1が機能素子1 cを有することにより、機能素子1 c, 2 c, 3 cは親チップ1および子チップ2, 3に分散配置された状態となるので、平均的な配線長を短くすることができる。すなわち、親チップ1には、親チップ1内の機能素子1 c相互間や親チップ1の機能素子1 cと子チップ2, 3の機能素子2 c, 3 cとの間を接続するための配線L1 1, L1 2, L1 3も設けられている。これらの配線L1 1, L1 2, L1 3の大部分は、子チップ2, 3の機能素子2 c, 3 c相互間を接続するための配線L1 2 3と比べて短い。これにより、従来のマルチチップモジュールのように、互いに横方向に配された半導体チップの機能素子を接続する場合と比べて、全体として配線長は短くなる。

【0025】親チップ1の配線L1 1, L1 2, L1 3, L1 2 3と外部接続用の端子であるバンプ8とは、スルーホール9内の導電体1 2を介して接続されているので、配線距離が短い。そして、この半導体装置は、親チップ1のバンプ8を用いて、配線基板1 0に面実装することができる。バンプ8は、たとえば、配線基板1 0に設けられた接続パッド1 1に接続することができる。このため、親チップ1および子チップ2, 3は、短い距離で外部接続できる。

【0026】以上のように、この半導体装置は内部接続、外部接続ともに短い配線長でなされている。このため、内部での信号伝送速度および外部との信号伝送速度はともに大きいので、半導体装置全体として信号伝送速度を向上することができる。子チップ4（図1参照）の構造および親チップ1との接続様式は、子チップ2, 3と同様である。したがって、子チップ4も短い距離で外

部接続できる。親チップ1および子チップ2、3を、同種の半導体材料（たとえば、シリコン）で構成することにより、これらの熱膨張係数を一致させることができるので、熱膨張／収縮の差により応力が生じ接合が劣化することを回避できる。

【0027】親チップ1の配線L11, L12, L13, L123は、子チップ2, 3の配線L21, L22, L31, L33に比べて、幅が広くかつ厚さが厚いので、単位長さあたりの抵抗が低い。したがって、親チップ1の配線L11, L12, L13, L123は、子チップ2, 3の配線L21, L22, L31, L33に比べて、厚さが同じで幅のみが広くてもよく、幅が同じで厚さのみが厚くてもよい。また、親チップ1の配線L11, L12, L13, L123は、子チップ2, 3の配線L21, L22, L31, L33と比べて、一律に幅が広くまたは（および）厚さが厚くされている必要はない。たとえば、子チップ2の機能素子2cと子チップ3の機能素子3cとを接続するための長い配線L123のみを幅が広くまたは（および）厚さが厚くされていてもよい。この場合、効率的に親チップ1の配線L11, L12, L13, L123の平均的な抵抗を低減することができる。

【0028】バンプ8は、スルーホール9の直下に配さ

れていなくてもよい。その場合、活性面1aと反対側の面に配線を設け、スルーホール9内の導電体12とバンプ8とを接続してもよい。その場合、スルーホール9の内部は、完全に導電体12で充填されていてもよく、たとえば、スルーホール9の内面のみにめっき等により導電膜が形成されていてもよい。親チップ1の活性面1aや子チップ2, 3, 4, 5, 6を保護するために、これらを含む領域が樹脂で封止されていてもよい。

【0029】その他、特許請求の範囲に記載された事項の範囲で種々の変更を施すことが可能である。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る半導体装置の図解的な斜視図である。

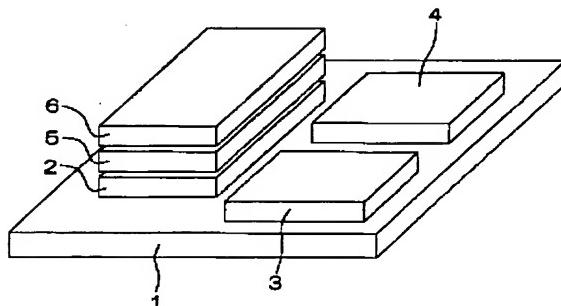
【図2】図1の半導体装置の図解的な断面図である。

【図3】親チップおよび子チップの配線を示す図解的な断面図である。

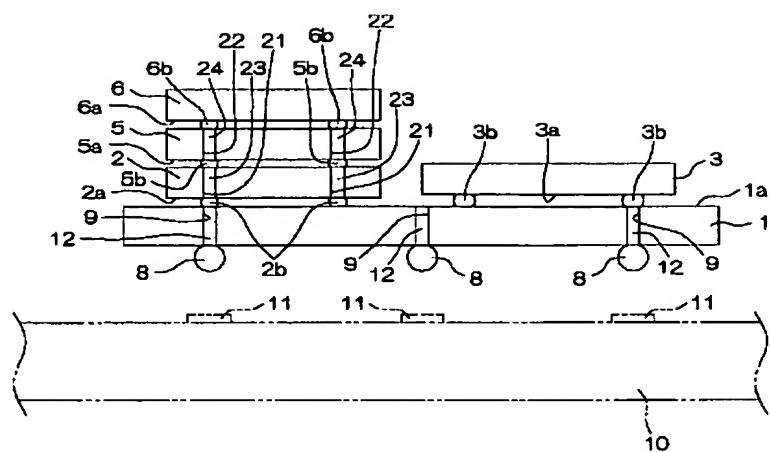
【符号の説明】

1	親チップ
2, 3, 4, 5, 6	子チップ
1a, 2a, 3a	活性面
2b, 3b, 8	バンプ
1c, 2c, 3c	機能素子
L11, L12, L13, L123	親チップの配線
L21, L22, L31, L33	子チップの配線
9	スルーホール
12	導電体

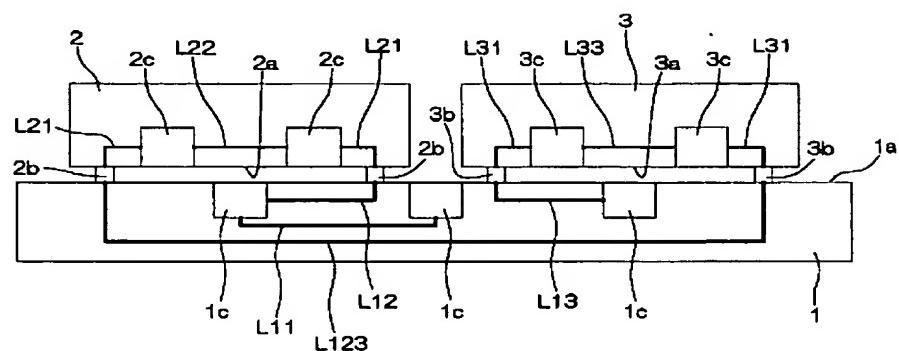
【図1】



【図2】



【図3】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-223833

(43)Date of publication of application : 21.08.1998

(51)Int.CI.

H01L 25/065
H01L 25/07
H01L 25/18

(21)Application number : 09-305784

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 07.11.1997

(72)Inventor : HAYASAKA NOBUO
OKUMURA KATSUYA
SASAKI KEIICHI

(30)Priority

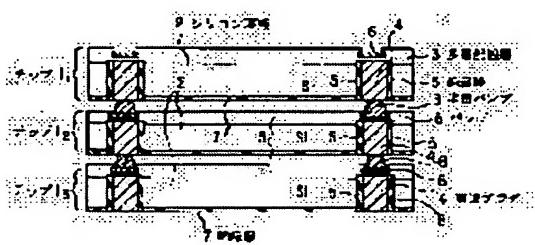
Priority number : 08321931 Priority date : 02.12.1996 Priority country : JP

(54) MULTI-CHIP SEMICONDUCTOR DEVICE CHIP FOR MULTI-CHIP SEMICONDUCTOR DEVICE AND ITS FORMATION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multi-chip semiconductor device whose device area is small, whose constitution is simple and whose thickness is thin by providing a connection plug formed of metal in a through hole passing through a semiconductor substrate and an inter-layer insulating film and electrically connecting one chip with the other chip through the connection plug.

SOLUTION: A metal plug 4 is formed on the outer side of an element forming area and the insulating films 5 are provided between the metal plug 4 and the silicon substrate 1/the first inter-layer insulating film so as to constitute the connection plug. The metal plug 4 of the chip 11 is electrically connected to the pad 6 provided for the multilayer wiring layer 3 of the chip 12 through a solder bump 8. The chip 11 is electrically connected to the chip 12. The metal plug 4 of the chip 12 is electrically connected to the pad 6 provided for the multilayer wiring layer 3 of the chip 13 through the solder bump 8. Thus, the chips 11, 12 and 13 are electrically connected. Since the chips 11, 12 and 13 are stacked, the device area is prevented from increasing.



LEGAL STATUS

[Date of request for examination]

08.11.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-223833

(43)公開日 平成10年(1998)8月21日

(51) Int.Cl.⁶
H 0 1 L 25/065
25/07
25/18

識別記号

F I
H 0 1 L 25/08

B

審査請求 未請求 請求項の数12 O.L (全 19 頁)

(21)出願番号 特願平9-305784

(22)出願日 平成9年(1997)11月7日

(31)優先権主張番号 特願平8-321931

(32)優先日 平8(1996)12月2日

(33)優先権主張国 日本 (JP)

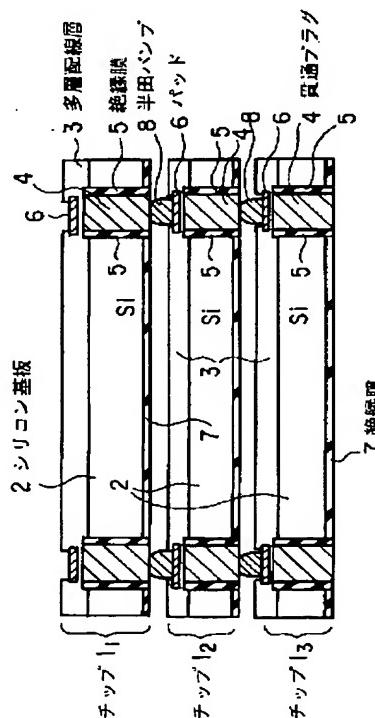
(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者 早坂 伸夫
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
(72)発明者 奥村 勝弥
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
(72)発明者 佐々木 圭一
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 マルチチップ半導体装置、ならびにマルチチップ半導体装置用チップおよびその形成方法

(57)【要約】

【課題】 装置の平面面積が小さく、構造が単純で、かつ厚さが薄いマルチチップ半導体装置を実現すること。

【解決手段】 素子が集積形成されたシリコン基板2を有するチップ1₁、1₂、1₃が積層されたマルチチップ半導体装置において、各チップ1₁、1₂、1₃は、それぞれ、シリコン基板2を貫通する貫通孔内に金属プラグ4が形成された構造を有し、かつこの金属プラグ4を介してチップ間の電気的接続がとられている。



【特許請求の範囲】

【請求項1】表面に素子が集積形成され半導体基板と、この半導体基板表面上に形成された層間絶縁膜とを有するチップを複数積層してなるマルチチップ半導体装置において、

少なくとも1つのチップは、その半導体基板および層間絶縁膜を貫通する貫通孔内に、金属からなる接続プラグが形成された構造を有し、かつこの接続プラグを有する少なくとも1つのチップは、前記接続プラグを介して他のチップと電気的に接続されていることを特徴とするマルチチップ半導体装置。

【請求項2】前記接続プラグを有するチップは、該チップの直上および直下のチップの少なくとも一方のチップに対して、接続部材、または接続部材および実装部材を介して、電気的に接続されていることを特徴とする請求項1に記載のマルチチップ半導体装置。

【請求項3】表面に素子が集積形成された半導体基板と、この半導体基板表面上に形成された層間絶縁膜と、この層間絶縁膜および前記半導体基板を貫通する貫通孔内に形成され、他のチップと電気的に接続するための金属からなる接続プラグとを具備してなることを特徴とするマルチチップ半導体装置用チップ。

【請求項4】前記接続プラグは、前記貫通孔内に設けられた金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜とから構成されていることを特徴とする請求項3に記載のマルチチップ半導体装置用チップ。

【請求項5】前記接続プラグは、前記貫通孔内に設けられ、中空部を有する金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜と、前記中空部内に設けられ、前記半導体基板との熱膨脹係数の差が、前記金属プラグよりも小さい低ストレス膜とから構成されていることを特徴とする請求項3に記載のマルチチップ半導体装置用チップ。

【請求項6】前記接続プラグは、前記貫通孔の前記半導体基板表面側の途中の深さまで設けられた金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜と、前記金属プラグ上に設けられ、前記貫通孔を充填するキャップ膜とから構成されていることを特徴とする請求項3に記載のマルチチップ半導体装置用チップ。

【請求項7】前記接続プラグは、前記貫通孔の前記半導体基板表面側の途中の深さまで設けられた金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜とから構成され、前記貫通孔の未充填部分に、他のチップと電気的に接続するための接続部材が設けられることを特徴とする請求項3に記載のマルチチップ半導体装置用チップ。

【請求項8】半導体基板表面に素子を集積形成する工程

と、

前記半導体基板表面上に層間絶縁膜を形成する工程と、この層間絶縁膜および前記半導体基板をエッティングし、前記層間絶縁膜を貫通し、かつ前記半導体基板を貫通しない孔を形成する工程と、

この孔の側壁および底部に、該孔を充填しない厚さの絶縁膜を形成する工程と、

前記絶縁膜で被覆された前記孔内に金属プラグとしての金属を充填する工程と、

前記半導体基板裏面から、前記半導体基板および前記絶縁膜を後退させて、前記孔の底部の前記金属プラグを露出させる工程とを有することを特徴とするマルチチップ半導体装置用チップの形成方法。

【請求項9】半導体基板表面に素子を集積形成する工程と、

前記半導体基板表面上に層間絶縁膜を形成する工程と、この層間絶縁膜および前記半導体基板をエッティングし、前記層間絶縁膜を貫通し、かつ前記半導体基板を貫通しない孔を形成する工程と、

この孔の側壁および底部に、該孔を充填しない厚さの第1の絶縁膜を形成する工程と、

前記孔内を前記第1の絶縁膜よりもエッティング速度の速い第2の絶縁膜で充填する工程と、

前記層間絶縁膜に接続孔を形成し、この接続孔を介して前記素子と接続する配線層を形成する工程と、

前記半導体基板裏面から、前記半導体基板および前記第1の絶縁膜を後退させて、前記孔の底部の前記第2の絶縁膜を露出させる工程と、

前記孔内の前記第2の絶縁膜を選択的にエッティング除去した後、前記第1の絶縁膜で被覆された前記孔内に金属プラグとしての金属を充填する工程とを有することを特徴とするマルチチップ半導体装置用チップの形成方法。

【請求項10】半導体基板表面に素子を集積形成する工程と、

前記半導体基板表面上に層間絶縁膜を形成する工程と、この層間絶縁膜および前記半導体基板をエッティングし、前記層間絶縁膜を貫通し、かつ前記半導体基板を貫通しない孔を形成する工程と、

この孔の側壁および底部に、該孔を充填しない厚さの第1の絶縁膜を形成する工程と、

前記第1の絶縁膜で被覆された前記孔内に金属プラグとしての金属を充填する工程と、

前記孔内の底部の前記第1の絶縁膜が露出するまで、前記半導体基板裏面から、前記半導体基板を後退させる工程と、

前記孔の底部の前記第1の絶縁膜より上の、前記孔の側壁の前記第1の絶縁膜が露出するまで、前記孔の底部側の前記半導体基板を選択的にエッティングする工程と、

前記孔の底部側の前記半導体基板裏面全面に第2の絶縁膜を形成する工程と、

前記孔の底部の前記金属プラグが露出するまで、前記第1および第2の絶縁膜を後退させて、前記孔の底部側の前記半導体基板裏面に、前記第2の絶縁膜を選択的に残置させる工程とを有することを特徴とするマルチチップ半導体装置用チップの形成方法。

【請求項11】前記孔の形成は、前記半導体基板上に形成する配線層のうち、最も融点の低い配線層を形成する前に行なうことを特徴とする請求項8、請求項9および請求項10のいずれかに記載のマルチチップ半導体装置用チップの形成方法。

【請求項12】前記半導体基板の後退は、該半導体基板をウェハから切り出した後に行なうことを特徴とする請求項8、請求項9および請求項10のいずれかに記載のマルチチップ半導体装置用チップの形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のチップを用いた半導体装置であるマルチチップ半導体装置、ならびにマルチチップ半導体層用チップおよびその形成方法に関する。

【0002】

【従来の技術】近年、コンピューターや通信機器の重要な部分には、多数のトランジスタや抵抗等を電気回路を達成するようにむすびつけ、半導体基板上に集積化して形成した大規模集積回路（チップ）が多用されている。このため、機器全体の性能は、チップ単体の性能と大きく結び付いている。

【0003】一方、複数のチップを用いて、機器全体の性能を図ったいわゆるマルチチップ半導体装置も提案されている。図25～図27に、従来のマルチチップ半導体装置の断面図を示す。

【0004】図25は、例えば、積層の配線基板81上に複数のチップ82を平面配置するタイプのマルチチップ半導体装置を示している。なお、図中、83は半田バンプを示している。また、図26は、表面を向かい合わせ（Face to Face）にしてチップ同士を接続するタイプのマルチチップ半導体装置を示している。また、図27は、複数のチップ82を積層板84を用いて積層配置するタイプのマルチチップ半導体装置を示している。

【0005】

【発明が解決しようとする課題】しかしながら、これらの従来のマルチチップ半導体装置には、以下のような問題がある。

【0006】すなわち、図25の従来のマルチチップ半導体装置は、複数のチップ82を平面配置するため、装置の平面面積が大きいという問題がある。

【0007】また、図26の従来のマルチチップ半導体装置は、複数のチップ82を積層するため、装置の平面面積が大きくなるという問題はないが、積層枚数が2枚

に限定されるという問題がある。また、それぞれのチップを電気的にテストすることが困難である。

【0008】また、図27の従来のマルチチップ半導体装置は、複数のチップ82を積層できるので、装置の平面面積が大きくなる問題や、積層枚数が2枚に限定されるという問題はないが、チップ間に積層板84を設ける必要があるため、構造が複雑になったり、コストや厚さが増大したりする。

【0009】本発明は、上記事情を考慮してなされたもので、その目的とするところは、装置の平面面積が小さく、構造が単純で、かつ厚さが薄いマルチチップ半導体装置を提供することにある。また、本発明の他の目的は、このようなマルチチップ半導体装置の実現を可能とするマルチチップ半導体装置用チップおよびその形成方法を提供することにある。

【0010】

【課題を解決するための手段】

【構成】上記目的を達成するために、本発明に係るマルチチップ半導体装置（請求項1）は、表面に素子が集積形成された半導体基板と、この半導体基板表面上に形成された層間絶縁膜とを有するチップを複数積層してなるマルチチップ半導体装置において、少なくとも1つのチップが、その半導体基板および層間絶縁膜を貫通する貫通孔内に金属からなる接続プラグが形成された構造を有し、かつこの接続プラグを有する少なくとも1つのチップが、前記接続プラグを介して他のチップと電気的に接続されていることを特徴とする。

【0011】上記層間絶縁膜は、素子を覆う第1層目の層間絶縁膜である。

【0012】また、本発明に係る他のマルチチップ半導体装置（請求項2）は、上記マルチチップ装置（請求項1）において、前記接続プラグを有するチップが、該チップの直上および直下のチップの少なくとも一方のチップに対して、接続部材、または接続部材および実装部材を介して、電気的に接続されていることを特徴とする。

【0013】接続部材は例えば金属バンプであり、また実装部材は例えば配線基板またはTABテープである。

【0014】また、本発明に係る他のマルチチップ半導体装置（請求項3）は、表面に素子が集積形成された半導体基板と、この半導体基板表面上に形成された層間絶縁膜と、この層間絶縁膜および前記半導体基板を貫通する貫通孔内に形成され、他のチップと電気的に接続するための金属からなる接続プラグとを備えていることを特徴とする。

【0015】また、本発明に係る他のマルチチップ半導体装置（請求項4）は、上記マルチチップ半導体装置用チップ（請求項3）において、前記接続プラグが、前記貫通孔内に設けられた金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜とから構成されていることを特徴とする。

【0016】また、本発明に係る他のマルチチップ半導体装置用チップ（請求項5）は、上記マルチチップ半導体装置用チップ（請求項3）において、前記接続プラグが、前記貫通孔内に設けられ、中空部を有する金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜と、前記中空部内に設けられ、前記半導体基板との熱膨張係数の差が、前記金属プラグよりも小さい低ストレス膜とから構成されていることを特徴とする。

【0017】本発明に係るマルチチップ半導体装置用チップ（請求項6）は、上記マルチチップ半導体装置用チップ（請求項3）において、前記接続プラグが、前記貫通孔の前記半導体基板の表面側の途中の深さまで設けられた金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜と、前記金属プラグ上に設けられ、前記貫通孔を充填するキャップ膜とから構成されていることを特徴とする。

【0018】また、本発明に係る他のマルチチップ半導体装置用チップ（請求項7）は、上記マルチチップ半導体装置用チップ（請求項3）において、前記接続プラグが、前記貫通孔の前記半導体基板の裏面側の途中の深さまで設けられた金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜とから構成され、前記貫通孔の未充填部分に、他のチップと電気的に接続するための接続部材が設けられることを特徴とする。

【0019】ここで、前記接続部材が設けられた側の前記半導体基板の裏面は、前記接続部材の部分を除いて絶縁膜で覆われていることが好ましい。

【0020】また、本発明に係るマルチチップ半導体装置用チップの形成方法（請求項8）は、半導体基板表面上に素子を集積形成する工程と、前記半導体基板表面上に層間絶縁膜を形成する工程と、この層間絶縁膜および前記半導体基板をエッチングし、前記層間絶縁膜を貫通し、かつ前記半導体基板を貫通しない孔を形成する工程と、この孔の側壁および底部に、該孔を充填しない厚さの絶縁膜を形成する工程と、前記絶縁膜で被覆された前記孔内に金属プラグとしての金属を充填する工程と、前記半導体基板裏面から、前記半導体基板および前記絶縁膜を後退させて、前記孔の底部の前記金属プラグを露出させる工程とを有することを特徴とする。また、本発明に係る他のマルチチップ半導体装置用チップの形成方法

（請求項9）は、半導体基板表面上に素子を集積形成する工程と、前記半導体基板表面上に層間絶縁膜を形成する工程と、この層間絶縁膜および前記半導体基板をエッチングし、前記層間絶縁膜を貫通し、かつ前記半導体基板を貫通しない孔を形成する工程と、この孔の側壁および底部に、該孔を充填しない厚さの第1の絶縁膜を形成する工程と、前記孔内を前記第1の絶縁膜よりもエッチング速度の速い第2の絶縁膜で充填する工程と、前記層間絶縁膜に接続孔を形成し、この接続孔を介して前記素子

と接続する配線層を形成する工程と、前記半導体基板裏面から、前記半導体基板および前記第1の絶縁膜を後退させて、前記孔の底部の前記第2の絶縁膜を露出させる工程と、前記孔内の前記第2の絶縁膜を選択的にエッチング除去した後、前記第1の絶縁膜で被覆された前記孔内に金属プラグとしての金属を充填する工程とを有することを特徴とする。

【0021】また、本発明に係る他のマルチチップ半導体装置用チップの形成方法（請求項10）は、半導体基板表面上に素子を集積形成する工程と、前記半導体基板表面上に層間絶縁膜を形成する工程と、この層間絶縁膜および前記半導体基板をエッチングし、前記層間絶縁膜を貫通し、かつ前記半導体基板を貫通しない孔を形成する工程と、この孔の側壁および底部に、該孔を充填しない厚さの第1の絶縁膜を形成する工程と、前記第1の絶縁膜で被覆された前記孔内に金属プラグとしての金属を充填する工程と、前記孔内の底部の前記第1の絶縁膜が露出するまで、前記半導体基板裏面から、前記半導体基板を後退させる工程と、前記孔の底部の前記第1の絶縁膜より上の、前記孔の側壁の前記第1の絶縁膜が露出するまで、前記孔の底部側の前記半導体基板を選択的にエッチングする工程と、前記孔の底部側の前記半導体基板裏面全面に第2の絶縁膜を形成する工程と、前記孔の底部の前記金属プラグが露出するまで、前記第1および第2の絶縁膜を後退させて、前記孔の底部側の前記半導体基板裏面に、前記第2の絶縁膜を選択的に残置させる工程とを有することを特徴とする。

【0022】また、本発明に係る他のマルチチップ半導体装置用チップの形成方法（請求項11）は、上記マルチチップ半導体装置用チップの形成方法（請求項8～10）において、前記孔の形成を、前記半導体基板上に形成する配線のうち、最も融点の低い配線を形成する前に行なうことを特徴とする。

【0023】また、本発明に係る他のマルチチップ半導体装置用チップの形成方法（請求項12）は、上記マルチチップ半導体装置用チップの形成方法（請求項9～10）において、前記半導体基板の後退を、該半導体基板をウェハから切り出した後に行なうことを特徴とする。

【0024】〔作用〕本発明（請求項1，2）によれば、複数のチップを積層しているので、複数のチップを平面位置する従来のマルチチップ半導体装置とは異なり、装置の平面面積が増大するという問題はない。

【0025】また、本発明によれば、半導体基板および層間絶縁膜を貫通する貫通孔内に形成された金属からなる接続プラグにより、チップ同士を接続しているので、Face to Faceによりチップ同士を接続する従来のマルチチップ半導体装置とは異なり、チップの積層枚数が2枚に限定されるという問題はない。

【0026】さらに、チップ同士の接続に積層板を用いていないので、積層板によりチップ同士を接続する従来

のマルチチップ半導体装置とは異なり、構造が複雑になったり、厚みが増大するという問題はない。

【0027】したがって、本発明によれば、装置の平面面積が小さく、構造が単純で、かつ厚さが薄いマルチチップ半導体装置を実現できるようになる。

【0028】また、本発明（請求項3～7）のマルチチップ半導体装置用チップは、半導体基板および層間絶縁膜を貫通する貫通孔内に形成され、他のチップと電気的に接続するための金属からなる接続プラグを有している。

【0029】したがって、このようなマルチチップ半導体装置用チップを用いたマルチチップ半導体装置は、本発明（請求項1，2）と同じ作用により、装置の平面面積が小さく、構造が単純で、かつ厚さが薄いものとなる。

【0030】また、上記本発明（請求項1～7）において、接続プラグは、チップの放熱を促進するという効果がある。また、チップ裏面から接続プラグに検査プローブをあてることにより装置またはチップの検査を行なうことができる。

【0031】また、本発明（請求項8）では、半導体基板および層間絶縁膜を貫通する貫通孔を直接開孔することはしない。何故なら、半導体基板は一般に厚く、貫通孔を直接開孔することは困難であるからである。

【0032】すなわち、本発明では、まず、層間絶縁膜は貫通するが半導体基板は貫通しない孔を形成し、次にこの孔内に絶縁膜を介して接続プラグとしての金属膜を形成する。

【0033】このような工程の後、本発明では、孔が形成された表面と反対側の表面から、半導体基板および絶縁膜を後退させて、孔の底部側の金属膜を露出させることにより、貫通孔を形成する。したがって、本発明によれば、もとの半導体基板の厚くても、貫通孔を容易に形成できるようになる。

【0034】また、本発明（請求項9）では、孔内を第1の絶縁膜よりもエッティング速度の速い第2の絶縁膜で充填した状態で、層間絶縁膜に接続孔を形成し、この接続孔を介して素子と接続する配線層を形成し、その後第2の絶縁膜を選択的にエッティング除去して孔内に金属膜を形成する。このため、金属膜は、配線層を形成する際の高温の工程の影響を受けずに済む。

【0035】これにより、金属膜の構成元素が半導体基板に拡散することによるチップの特性劣化を防止することができる。また、金属膜の構成元素の拡散を防止するためにバリア膜などの拡散防止構造を形成する場合とは異なり、プロセスが複雑化になることも無い。

【0036】また、本発明（請求項10）によれば、貫通孔を容易に形成できるとともに、孔の底部側の半導体基板の露出面を第2の絶縁膜により容易に被覆できるようになる。

【0037】また、半導体基板の後退は、本発明（請求項12）のように、半導体基板をウェハから切り出した後に行なうことが好ましい。何故なら、ウェハは一般に大きく、機械的強度が弱いので、研磨やエッティングにより均一に後退を行なうのが困難であるからである。

【0038】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0039】（第1の実施形態）図1は、本発明の第1の実施形態に係るマルチチップ半導体装置の断面図である。

【0040】このマルチチップ半導体装置は、3つのチップ 1_1 ， 1_2 ， 1_3 が積層された構成となっている。各チップ 1_1 ， 1_2 ， 1_3 は、それぞれ、大きく分けて、表面に素子が集積形成されたシリコン基板2と、集積形成された素子を所定の関係に接続するための多層配線層3と、この多層配線層3の第1の層間絶縁膜およびシリコン基板1を貫通する貫通孔内に形成され、チップ同士を電気的に接続するための接続プラグ（金属プラグ4、絶縁膜5）とから構成されている。

【0041】多層配線層3は、素子を覆う第1の層間絶縁膜と、この第1の層間絶縁膜に形成されたコンタクトホール（第1の接続孔）を介して素子に接続する第1の配線層と、第1の層間絶縁膜上に形成され、第1の配線層を覆う第2の層間絶縁膜と、この第2の層間絶縁膜に形成されたヴィアホール（第2の接続孔）を介して第1の配線層と接続する第2の配線層とを有する。なお、3層以上の多層配線層であっても良い。

【0042】金属プラグ4は素子形成領域の外側に形成されている。また、金属プラグ4とシリコン基板1および第1の層間絶縁膜との間、言い換えれば金属プラグ4と貫通孔との間には絶縁膜5が設けられている。この絶縁膜5と金属プラグ4とで接続プラグが構成されている。

【0043】また、各チップ 1_1 ， 1_2 ， 1_3 の多層配線層3には、それぞれ、パッド6が設けられている。また、各チップ 1_1 ， 1_2 ， 1_3 のパッド6とは反対側のシリコン基板2の裏面のシリコン領域、言い換えれば接続プラグ（金属プラグ4、絶縁膜5）以外の領域は絶縁膜7で被覆されている。

【0044】チップ 1_1 の金属プラグ4は、半田バンプ8を介して、チップ 1_2 の多層配線層3に設けられたパッド6に電気的に接続している。これにより、チップ 1_1 はチップ 1_2 と電気的に接続することになる。なお、半田バンプ8以外のバンプを用いても良い。

【0045】同様に、チップ 1_2 の金属プラグ4は、半田バンプ8を介して、チップ 1_3 の多層配線層3に設けられたパッド6に電気的に接続し、チップ 1_2 はチップ 1_3 と電気的に接続している。このようにしてチップ 1_1 ， 1_2 ， 1_3 間は電気的に接続されることになる。

【0046】本実施形態によれば、チップ_{1₁}、_{1₂}、_{1₃}を積層しているので、複数のチップを平面位置する従来のマルチチップ半導体装置とは異なり、装置の平面面積が増大するという問題はない。

【0047】また、本実施形態によれば、シリコン基板₂および第1の層間絶縁膜を貫通する金属プラグ₄により、チップ同士を接続しているので、Face to Faceによりチップ同士を接続する従来のマルチチップ半導体装置とは異なり、チップの積層枚数が2枚に限定されるという問題はない。

【0048】さらに、チップ同士の接続に積層板を用いていないので、積層板によりチップ同士を接続する従来のマルチチップ半導体装置とは異なり、構造が複雑になったり、厚みが増大するという問題はない。

【0049】さらにまた、金属プラグ₄には、放熱を促進する効果がある。

【0050】したがって、本実施形態によれば、装置の平面面積が小さく、構造が単純で、厚さが薄く、かつ放熱性に優れたマルチチップ半導体装置を実現できるようになる。

【0051】なお、実施形態では、チップ数が3の場合について説明したが、本実施形態のチップ構造であれば、4個以上のチップも同様にして接続できる。また、金属プラグ₄を有するチップの全てが必ずしも金属プラグ₄を介して接続する必要はない。すなわち、放熱性の改善の目的のみで金属プラグ₄を形成したチップがあつても良い。

【0052】(第2の実施形態) 図2は、本発明の第2の実施形態に係るマルチチップ半導体装置の断面図である。なお、図1のマルチチップ半導体装置と対応する部分には図1と同一符号を付してあり、詳細な説明は省略する。

【0053】本実施形態は、真中のチップ_{1₂}だけが接続プラグ(金属プラグ₄、絶縁膜₅)を有する例である。

【0054】チップ_{1₁}の多層配線層₃に設けられたパッド₆は、半田バンプ₈を介して、チップ_{1₂}の多層配線層₃に設けられたパッド₆に電気的に接続している。これにより、チップ_{1₁}はチップ_{1₂}と電気的に接続することになる。また、チップ_{1₂}の金属プラグ₄は、半田バンプ₈を介して、チップ_{1₃}の多層配線層₃に設けられたパッド₆に電気的に接続し、チップ_{1₂}はチップ_{1₃}と電気的に接続している。このようにしてチップ_{1₁}、_{1₂}、_{1₃}間は電気的に接続されることになる。

【0055】本実施形態でも第1の実施形態と同様な効果が得られる。ただし、真中のチップ_{1₂}だけしか接続プラグ(金属プラグ₄、絶縁膜₅)を有していないので、4個以上のチップを積層することはできない。しかし、接続プラグは1個で済むので、コスト的に有利である。

【0056】(第3の実施形態) 図3は、本発明の第3の実施形態に係るマルチチップ半導体装置の断面図である。なお、図1のマルチチップ半導体装置と対応する部分には図1と同一符号を付してあり、詳細な説明は省略する。

【0057】本実施形態は、2つのチップ_{1₁}、_{1₂}がセラミック製の積層配線基板₉を介して接続する例である。

【0058】チップ_{1₁}の多層配線層₃に設けられたパッド₆は、半田バンプ₈を介して、積層配線基板₉に設けられたパッド₆に電気的に接続している。このパッド₆に電気的に接続している積層配線基板₉に設けられた他のパッド₆は、チップ_{1₂}の多層配線層₃に設けられたパッド₆に電気的に接続している。これにより、チップ_{1₁}はチップ_{1₂}と電気的に接続することになる。

【0059】本実施形態でも第1の実施形態と同様な効果が得られる。さらに、本実施形態によれば、チップ_{1₂}の多層配線層₃に設けられたパッド₆に検査プローブをあてて装置の検査を行なうことができる。

【0060】これに対して、図2に示すように、金属プラグ₄を有するチップ_{1₂}がチップ間にある構成だと、検査プローブをあてることができないので、このような検査は行なうことができない。

【0061】(第4の実施形態) 図4、図5は、本発明の第4の実施形態に係るマルチチップ半導体装置用チップの形成方法を示す工程断面図である。

【0062】まず、図4(a)に示すように、シリコン基板₁₀を用意する。このシリコン基板₁₀は素子形成後のものであり、その表面は第1の層間絶縁膜₁₁で覆われている。この第1の層間絶縁膜₁₁の材料には、窒化シリコンのようにSiO₂とエッチング選択比が取れるものが選ばれている。

【0063】次に図4(b)に示すように、SiO₂からなる厚さ1μmのマスクパターン₁₂を第1の層間絶縁膜₁₁上に形成した後、マスクパターン₁₂をマスクにして、エッティングガスがF系ガスのRIE法にて、第1の層間絶縁膜₁₁およびシリコン基板₁₀をエッチングすることにより、第1の層間絶縁膜₁₁を貫通し、かつシリコン基板₁₀を貫通しない孔₁₃を形成する。この後、孔₁₃の形成の際に生じたシリコン基板₁₀の欠陥を回復するためのアニールを行なうことが好ましい。

【0064】シリコン基板₁₀における孔の深さは100μmである。これに第1の層間絶縁膜₁₁の厚さを加えたものが孔₁₃の全体の深さとなる。孔₁₃は最終的には貫通孔となる。

【0065】なお、シリコン基板₁₀をRIE法にてエッチングして孔を形成し、次に第1の層間絶縁膜₁₁を形成し、次に第1の層間絶縁膜₁₁、または第1の層間絶縁膜₁₁およびシリコン基板₁₀をRIE法にてエッチングして、孔₁₃を形成することも可能である。

【0066】この場合、最初のエッチングの際に用いるマスクパターンとしては、 SiO_2 や Al や Al_2O_3 などの材料からなるものが使用できる。

【0067】また、孔13（貫通孔）を形成する加工技術はRIEに限定されるものではなく、光エッチング、ウエットエッチング、超音波加工、放電加工を用いることもできる。さらに、上記加工技術を適宜組み合わせても良い。なお、RIEまたは光エッチングと、ウエットエッチングとを組み合せた方法については後で説明する。

【0068】次に図4(c)に示すように、全面に厚さ100nmの SiO_2 膜、厚さ100nmの Si_3N_4 膜をLPCVD法を用いて順次堆積して、 $\text{SiO}_2/\text{Si}_3\text{N}_4$ の積層絶縁膜14（第1の絶縁膜）を形成する。なお、積層絶縁膜14の代わりに、単層の絶縁膜を用いても良い。

【0069】次に図4(d)に示すように、金属プラグとなる金属膜15を孔13から溢れる厚さに全面に形成して、孔13を金属膜15で埋め込む。

【0070】ここで、金属膜15としては、例えばW膜、Mo膜、Ni膜、Ti膜、これらの金属シリサイド膜があげられる。また、金属膜15の形成方法としては、例えばCVD法、スパッタ法またはメッキ法があげられる。

【0071】次に図5(e)に示すように、CMP法やエッチバック法等の方法を用いて、第1の層間絶縁膜11の表面が露出するまで、金属膜15、積層絶縁膜14を後退させる。

【0072】この結果、孔13に金属膜（金属プラグ）15が埋め込まれた構造が形成される。このような構造は他の形成方法でも形成できる。その形成方法は後で説明する（図14、図15）。

【0073】次に図5(f)に示すように、シリコン基板10上に第1の層間絶縁膜11とともに多層配線層を構成する多層配線構造16を形成する。多層配線構造16は金属配線（配線層）、層間絶縁膜、プラグなどから構成される。この後、多層配線構造16の表面に溝を形成した後、この溝にパッド17を形成する。

【0074】図6、図7に、それぞれ、孔13の領域の多層配線層、素子領域の多層配線層の具体的な構造の一例を示す。

【0075】素子領域にはMOSトランジスタが形成されている。また、図において、11aは第2の層間絶縁膜、11bは第3の層間絶縁膜、11cは第4の層間絶縁膜、11nはn番目の層間絶縁膜、19aおよび20aは第1の金属配線、19bおよび20bは第2の金属配線、20cは第3の金属配線を示している。

【0076】次に図5(g)に示すように、孔13の底部の絶縁膜14が露出するまで、孔13が形成された表面と反対側のシリコン基板裏面から、シリコン基板10

を後退させる。

【0077】ここで、シリコン基板10の後退（薄化）は、例えば、CMP、化学研磨、機械研磨、ウエットエッチング、プラズマエッチングまたはガスエッチングの加工技術を用いた方法、またはこれら加工技術を組み合わせた方法により行なう。これらの中ではCMPが最も代表的な方法であり、また好ましい。

【0078】この図5(g)の工程は、シリコン基板10と絶縁膜14の間で選択比が取れる条件で行なうことが好ましい。このような条件で行なえば、絶縁膜14のところで自動的に同工程を終了することが可能となる。

【0079】次に図5(h)に示すように、孔13の底部の絶縁膜14より上の、孔13の側壁の絶縁膜14が露出するまで、孔13の底部側のシリコン基板10の裏面を選択的にエッチングする。このエッチングには、例えば、CDE、RIE等のドライエッチングまたはウエットエッチングを用いる。なお、エッチングの代りにCMPを用いても良い。

【0080】この後、上記エッチングまたはCMPにより生じたダメージ層を例えばウエットエッチングにより除去する。なお、この除去工程は、ダメージ層が生じない場合には不要である。ダメージ層を除去する理由は、ダメージ層は次の SiO_2 膜18の形成工程に影響を与えるからである。

【0081】次に同図(h)に示すように、プラズマCVD法を用いて、孔13の底部側のシリコン基板10の裏面全面に SiO_2 膜18（第2の絶縁膜）を形成する。なお、低温プロセスが要求される場合には、 SiO_2 膜18の代わりに、SOG膜等の塗布膜を用いると良い。また、シリコン基板10が受ける応力を小さくしたい場合には、 SiO_2 膜18の代わりに、ポリイミド膜等の有機膜を用いると良い。

【0082】次に図5(i)に示すように、金属プラグ15を露出するまで、CMP法を用いて SiO_2 膜18、積層絶縁膜14を研磨する。

【0083】この結果、貫通孔（孔13）内に絶縁膜14と金属プラグ15からなる接続プラグが埋め込まれ、かつシリコン基板10の裏面のシリコン領域が SiO_2 膜18で被覆された構造が完成する。

【0084】以上述べたように、本実施形態では、シリコン基板10の表面に該シリコン基板10を貫通しない孔13を形成した後、裏面からシリコン基板10等を研磨することにより、貫通孔（孔13）内が接続プラグ（絶縁膜14、金属プラグ15）で埋め込まれた構造を形成している。

【0085】したがって、本実施形態によれば、もとのシリコン基板1が厚くても（通常は厚い）、深い貫通孔を形成する必要がないので、貫通孔（孔13）が接続プラグ（絶縁膜14、金属プラグ15）で埋め込まれた構造を容易に形成できるようになる。

【0086】また、本実施形態の方法は、厚いシリコン基板の裏面からエッチングして深い貫通孔を形成する方法の場合とは異なり、表／裏のパターンの位置合わせが必要なフォトリソグラフィが不要となるので、接続プラグの形成プロセスは簡単で工程数も少なくて済む。

【0087】なお、裏面のシリコン領域をSiO₂膜18で覆う必要がない場合には、図5(g)の工程で、金属プラグ15が露出するまで、シリコン基板10および積層絶縁膜14を研磨することで、貫通孔(孔13)が接続プラグ(絶縁膜14、金属プラグ15)で埋め込まれた構造が完成する。

【0088】また、シリコン基板10の研磨(後退)は、シリコン基板10をウェハから切り出した後に行なうことが好ましい。何故なら、ウェハは一般に大きく、機械的強度が弱いので、均一に研磨(後退)を行なうのが困難であるからである。

【0089】また、金属配線の形成前に孔13を形成し、その内部に金属膜を埋め込んで金属プラグ15を形成しているので、金属配線は金属プラグ15を形成する際の熱工程の影響を受けずに済む。さらに、金属配線は孔13をRIEにより形成した後に行なう欠陥回復のためのアニールの影響も受けずに済む。

【0090】これにより、例えば金属配線としてAl配線(Alの融点は660°C)を用いた場合に、金属プラグ15を抵抗の低いAu等の導電ペースト(焼結温度は600°C程度)で形成することが可能となる。

【0091】また、素子形成後に金属プラグ15を形成しているので、金属プラグ15の構成金属の拡散による素子特性の劣化を防止できる。

【0092】逆に、金属プラグ15を形成した後に素子を形成すると、素子を形成するために必要な高温の熱工程で、金属プラグ15の構成金属が素子領域にまで拡散し、素子特性が劣化するという問題が生じる。

【0093】図8に、種々の構造の接続プラグの断面図を示す。これは図5(f)の工程に相当する断面図である。なお、図において、19は金属配線を示している。

【0094】図8(a)は、本実施形態の接続プラグを示している。

【0095】図8(b)は、低ストレス膜18を有する接続プラグを示している。

【0096】すなわち、この接続プラグでは、貫通孔内に未充填部分ができるように金属プラグ15が形成され、そして未充填部分に半導体基板10aとの熱膨脹係数の差が金属プラグ15よりも小さい低ストレス膜18が形成され、貫通孔が充填されている。

【0097】低ストレス膜18は、絶縁膜、半導体膜、金属膜のいずれでも良い。具体的には、導電ペースト膜、FOX膜、SOG膜、HDP(High Density Plasma) - CVD法で形成したSiO₂膜などがあげられる。

【0098】このような接続プラグを用いることにより、接続プラグの形成部分に大きなストレスがかかり、シリコン基板10中に欠陥が発生することによる素子特性の劣化を防止することができる。

【0099】図8(c)は、キャップ金属膜45を有する接続プラグを示している。

【0100】すなわち、金属プラグ15は、貫通孔の途中の深さまでしか形成されておらず、この金属プラグ15の上面には、貫通孔を充填するキャップ金属膜45が形成されている。また、図8(d)は、キャップ金属膜45の代わりに、キャップ絶縁膜46を用いた接続プラグを示している。

【0101】このようなキャップ金属膜45、キャップ絶縁膜46により、金属プラグ15の表面を平坦にでき、これにより金属プラグ15上に微細な金属配線19を容易に形成することができるようになる。

【0102】また、低温で形成できるキャップ絶縁膜46を用いることにより、後工程で金属プラグ15の表面が酸化されるなどの不都合を防止することができる。

【0103】図9は、孔13の他の形成方法を示す工程断面図である。これは、RIEまたは光エッチングと、ウエットエッチングとを組み合わせた形成方法である。

【0104】まず、図9(a)に示すように、主面が{100}のシリコン基板10上に第1の層間絶縁膜11を形成する。次に同図(a)に示すように、第1の層間絶縁膜11上にマスクパターン12を形成した後、このマスクパターン12をマスクにして第1の層間絶縁膜11およびシリコン基板10をエッチングして、断面形状が長方形の孔13₁を形成する。

【0105】ここで、エッチングとしては、RIE、または光エッチング(光化学エッチング、光溶発(光アブレーション)エッチング)を用いる。特に光エッチングは、高速エッチング、低ダメージという利点を有するので、深い孔13₁を形成するのに適している。光化学エッチングの場合には、例えば、エッチングガスとしてCl₂ガス、励起光として紫外線を用いる。

【0106】次に図9(b)に示すように、マスクパターン12をマスクにしてシリコン基板10をウエットエッチングして、{111}面を露出させる。この結果、断面形状が三角形の孔13₂が形成される。エッティング液としては、例えば、温度が60~90°CのKOH溶液を用いる。

【0107】次に同図(b)に示すように、孔13₂内に、例えば、Ni、Ti、Zr、Hf、V等の金属21を配置する。具体的には、金属21を孔13₂の底の部分に配置する。

【0108】次に図9(c)に示すように、熱処理により、金属21とシリコン基板10とを反応させて、孔13₂の下部のシリコン基板10に金属シリサイド膜22を形成する。

【0109】次に図9(d)に示すように、金属シリサイド膜22を選択的にエッチング除去して、より深い孔13₃を形成する。最後に、絶縁膜形成および金属埋込みを行なった後、基板裏面を研磨することにより、深い貫通孔が得られる。

【0110】このように孔を段階的に深くすることにより、深い孔を容易に形成できるようになり、これにより貫通孔を容易に形成できるようになる。

【0111】図10に、金属プラグの他の形成方法を示す。

【0112】図10(a)は、全面に導電ペースト23を塗布した後、熱処理により導電ペースト23を流動化させて、孔内に導電ペースト23を埋め込むという方法を示している。孔外の余剰な導電ペースト23は、例えばCMP法を用いて除去する。

【0113】図10(b)は、全面に金属微粒子24を堆積して、孔内を微粒子24で埋め込んだ後、孔外の余剰な金属微粒子24をCMP法等を用いて除去するという方法を示している。

【0114】なお、金属微粒子29の代わりに、金属粒が分散された溶剤(懸濁液)を用いても良い。

【0115】図10(c)は、全面にシリコン膜25を堆積し、次にシリコン膜25上にTi膜等の高融点金属膜(不図示)を堆積した後、熱処理により高融点金属膜とシリコン膜25とを反応させて、金属シリサイド膜26を形成するという方法を示している。孔外の余剰な金属シリサイド膜26は、例えばCMP法等を用いて除去する。

【0116】シリコン膜は絶縁膜上にコンフォーマルに堆積する。また、シリコン膜と金属膜の密着性は高い。したがって、図10(c)の方法の場合、孔が深くても、孔内の積層絶縁膜14の全面はシリコン膜25で覆われるので、孔内の積層絶縁膜14の全面を覆う金属シリサイド膜31が形成される。なお、孔内に空洞部が残った場合には、例えば、低ストレス膜で埋めると良い。

【0117】図11に、金属プラグのさらに別の形成方法を示す。

【0118】まず、図11(a)に示すように、孔13の側壁および底部の全面を被覆し、空洞部を有するシリコン膜27を形成する。この後、同図(a)に示すように、孔13内に直径10μm程度のNi粒28(金属ボール)を配置する。

【0119】次に図11(b)に示すように、熱処理によりシリコン膜27とNi粒28とを反応させ、孔13内にニッケルシリサイド膜29を形成する。孔13内には十分な量のシリコン膜27およびNi粒28がないので、ニッケルシリサイド膜29の上部には空洞部が残る。

【0120】最後に、図11(c)に示すように、全面にキャップ膜30となる絶縁膜または金属膜を堆積した

後、この絶縁膜または金属膜を研磨して、ニッケルシリサイド膜30の上部の空洞部をキャップ膜35で埋める。

【0121】なお、金属プラグを形成する方法はこれまで述べた方法(CVD法、スピッタ法、メッキ法、導電ペーストを用いた方法、金属微粒子を用いた方法、金属ボールを用いた方法、懸濁液を用いた方法)に限定されるものではなく、これらの方法を適宜組み合わせた方法など種々の方法が可能である。

【0122】図12に、接続プラグの他の形成方法を示す。この方法がこれまでの方法と異なる点は、シリコン基板11の裏面を研磨して貫通孔を形成した後、金属プラグ15を形成することにある。

【0123】まず、図12(a)に示すように、表面に素子が形成されたシリコン基板10上にA1からなるマスクパターン12aを形成した後、このマスクパターン12aをマスクにして、第1の層間絶縁膜11およびシリコン基板10をエッチングし、孔13を形成する。この後、マスクパターン12aを除去する。

【0124】次に図12(b)に示すように、全面にSOG膜31を形成した後、孔13が完全に埋め込まれるように全面にFOX膜32を形成する。

【0125】次に図12(c)に示すように、孔13外のSOG膜31およびFOX膜32を例えばCMP法またはエッチバック法を用いて除去する。

【0126】この後、図5(e)～図5(i)に示した工程を行なう。

【0127】次に図12(d)に示すように、孔13内のFOX膜32を例えばCDE法を用いて除去した後、図4(d)、図5(e)の工程と同様に、孔13内に金属膜からなる金属プラグ15を埋込み形成する。

【0128】なお、図13に示すような接続構造の場合には、金属プラグ15の形成後にパッド33、Auボールなどの金属ボール34を形成する。

【0129】図14および図15に、接続プラグのさらに別の形成方法を示す。この方法がこれまでの方法と異なる点は、シリコン基板10とは別のところであらかじめ形成された金属プラグ15を孔13内に埋め込むことにある。

【0130】最初に、金属プラグ15の形成方法について説明する。

【0131】まず、図14(a)に示すように、SiO₂からなる基板35の表面に溝36を形成する。

【0132】次に同図(a)に示すように、溝36内に金属ボール37を埋め込む。

【0133】最後に、図14(b)に示すように、熱処理により金属ボール37を溶融することにより、溝36内に金属膜からなる金属プラグ15を形成する。

【0134】次にこのようにあらかじめ形成された金属プラグ15を利用して、接続プラグを形成する方法につ

いて説明する。

【0135】まず、図14(c)に示すように、粘着フィルム38に金属プラグ15を接着させる。

【0136】次に図15(d)に示すように、粘着フィルム38に接着された金属プラグ15を溝36から取り出す。

【0137】次に図15(e)に示すように、図4(c)の工程の段階のシリコン基板10の孔13内に、粘着フィルム38に接着された金属プラグ15を埋め込む。この後、粘着フィルム38を除去する。

【0138】次に図15(f)に示すように、熱処理により金属プラグ15を溶融させることにより、金属プラグ15を孔13内に固定する。

【0139】このような基板15にあらかじめ形成された金属プラグ15を利用する方法の場合、スパッタ法やCVD法などの成膜法を用いて、シリコン基板10上に金属プラグ4となる金属膜を形成する方法の場合に比べて、スループットが高くなり、またプロセス温度も低くて済む。

【0140】なお、ここでは基板35の材料としてSiO₂を選んだが、金属ボール37と反応しない材料であれば他の材料を用いても良い。

【0141】なお、金属ボール37の代わりに、AuまたはPd等の低抵抗の導電ペーストを用いても良い。この場合、スクリーン印刷法を用いて溝36内に導電性ペーストを埋め込んだ後、導電ペーストを焼結して金属プラグ15を形成する。

【0142】ここで、AuまたはPd等の導電ペーストは焼結温度の高いものであるが、導電ペーストの焼結は、シリコン基板10とは別のところである基板35で行なうので問題はない。また、導電ペーストは通常のものとは異なり、樹脂やガラスなどを含んでいる必要はない。

【0143】また、粘着フィルム38を用いて金属プラグ15を溝36から取り出したが、ピンセット等の他の手段により取り出しても良い。

【0144】また、孔13内にあらかじめ接着層を形成することにより、金属プラグ15を孔13内に固定しても良い。具体的には、例えばSOGまたはFOXなどを孔13内に塗布して接着層を形成した後、孔13内に金属プラグ15を埋め込む。その後、接着層を硬化させる。

【0145】(第5の実施形態) 図16は、本発明の第5の実施形態に係るマルチチップ半導体装置用チップの形成方法を示す断面図である。なお、図4、図5のマルチチップ半導体装置用チップと対応する部分には図4、図5と同一符号を付してあり、詳細な説明は省略する。

【0146】本実施形態では、第4の実施形態の図5(i)の工程の後、図16(a)に示すように、シリコン基板10の裏面から、金属プラグ15をエッチングし

て、貫通孔に未充填部分を形成する。

【0147】次に図16(b)に示すように、金属プラグ15(貫通孔の未充填部分の凹部)と半田バンプ8とを位置合せした後、金属プラグ15と半田バンプ8とを接続する。

【0148】ここで、金属プラグ15と半田バンプ8との位置合せは、画像処理により行なうことが好ましい。何故なら、画面上で、未充填部分の凹部とそうでないところで濃淡の差が明確になるので、正確な位置合せを容易に行なえるからである。

【0149】また、バンプ8の側面が貫通孔の側面と接触することにより、未充填部分の凹部がない場合に比べて、バンプ8はより強固に固定されることになる。

【0150】なお、逆に金属プラグ15が貫通孔から突出する凸構造にても良い。この場合、バンプ8はシリコン基板10とは接しないので、バンプ8によるシリコン基板10の汚染を効果的に防止することができる。

【0151】(第6の実施形態) 図17は、本発明の第6の実施形態に係るマルチチップ半導体装置の断面図である。なお、図1のマルチチップ半導体装置と対応する部分には図1と同一符号を付してある。また、チップ1₁、1₂において、多層配線層3や絶縁膜5、7やパッド6などは省略してある。

【0152】本実施形態の特徴は、チップ1₁上に放熱フィン39を設けたことにある。この放熱フィン39は接着剤40によりチップ1₁に固定されている。なお、絶縁膜上にメタライズすることにより固定するなど他の固定方法を用いても良い。

【0153】本実施形態によれば、金属プラグ4および放熱ファン39によって装置の放熱性を十分に高くすることができるようになる。

【0154】(第7の実施形態) 図18は、本発明の第7の実施形態に係るマルチチップ半導体装置の断面図である。なお、図1のマルチチップ半導体装置と対応する部分には図1と同一符号を付してある。図中、7aは絶縁膜、42はソルダーを示している。

【0155】本実施形態の特徴は、チップ1₁とチップ1₂との間に放熱用のダミーバンプ8dを設けたことにある。

【0156】チップ1₁とチップ1₂とはダミーバンプ8dを介して機械的には接続するが電気的には接続しない。ダミーバンプ8dは、例えば図示しない金属膜を介してチップ1₁およびチップ1₂と接続させる。

【0157】ダミーバンプ8dの材料としては、例えばAu等の金属があげられる。金属でなくても、熱伝導の良い材料であれば、半導体や絶縁体を用いても良い。また、充填剤でも良い。また、ダミーバンプ8dと配線用バンプ8とを同じ材料で形成すれば、これらのバンプを同時に形成でき、工程数の増加を防止することができる。

【0158】なお、ダミーバンプ8dだけでも放熱性は改善されるが、放熱性を効果的に高めるためには、ダミーバンプ8dを放熱フィンに繋げる構成にすることが好ましい。

【0159】(第8の実施形態)図19は、本発明の第8の実施形態に係るマルチチップ半導体装置の製造方法を示す図である。

【0160】図16に示した方法では、金属プラグ15に半田バンプ8を形成したが、本実施形態では、逆に、接続先の部材47(例えば金属プラグを有するチップ、金属プラグを有しないチップまたは積層配線基板)に半田バンプ8を形成し、この半田バンプ8と、シリコン基板2の裏面から突出した金属プラグ4を接続する。

【0161】この場合も、バンプ8はシリコン基板10とは接しないので、バンプ8によるシリコン基板10の汚染を効果的に防止することができる。

【0162】(第9の実施形態)図20は、本発明の第9の実施形態に係るマルチチップ半導体装置を示す模式図である。

【0163】なお、図1のマルチチップ半導体装置と対応する部分には図1と同一符号を付してある。また、チップ1₁、1₂、1₃において、多層配線層3や絶縁膜5、7やパッド6などは省略してある。また、チップ1₃は金属プラグ4が有っても無くても良い。

【0164】本実施形態は、実装部材としてTABテープを用いた例である。図中、43はプラスチックテープ、44はリード端子を示している。なお、図21に、TABテープを用いた従来のマルチチップ半導体装置の模式図を示す。図から、本実施形態に比べて平面面積が大きいことが分かる。

【0165】本実施形態によれば、チップ同士を積層でき、平面面積を小さくできるという効果の他に、金属プラグ4を用いて全てのチップ、一部のチップまたは各チップの検査を行なうことができる。

【0166】装置全体の検査であれば、図20に示した状態で、チップ1₁の多層配線層に設けられたパッド(不図示)に検査プローブをあてて行なう。また、チップ1₁、1₂の検査であれば、チップ1₁、1₂を接続した後、チップ1₂の多層配線層に設けられたパッド(不図示)に検査プローブをあてて行なう。

【0167】(第10の実施形態)図22～図24は、本発明の第10の実施形態に係るマルチチップ半導体装置の製造方法を示す図である。

【0168】まず、周知の方法に従って、図22(a)に示すように、シリコン基板50にNAND型EEPROMのメモリセルおよび図示しない周辺素子を形成した後、第1の層間絶縁膜56を形成する。

【0169】なお、図中、51はトンネル酸化膜、52_Fは浮遊ゲート電極、53はゲート電極間絶縁膜、52_Cは制御ゲート電極、54はソース拡散層、55はドレ

イン拡散層を示している。また、実際には複数のメモリセルを形成するが、図には簡単なために1個のメモリセルしか示していない。

【0170】次に同図(a)に示すように、第1の層間絶縁膜56にコンタクトホールを形成した後、Ti・TiN積層膜57、Wビット線プラグ58を形成する。

【0171】具体的には、まず、コンタクトホールを形成し、次にTi膜、TiN膜を順次全面に形成した後、プランケットCVD法を用いてW膜を全面に形成する。最後に、CMP法を用いてコンタクトホール外のW膜、Ti膜およびTiN膜を除去する。

【0172】次に図22(b)に示すように、第1の層間絶縁膜56上に例えばA1からなるマスクパターン59を形成し、このマスクパターン59をマスクにして、接続プラグが形成される領域の第1の層間絶縁膜56およびシリコン基板50をエッチングすることにより、深さが150～200μmで、100μm×100μm角の孔60を形成する。この後、マスクパターン59を除去する。

【0173】次に図22(c)に示すように、孔60内を覆うSiO₂膜61を形成し、その上に密着膜としての厚さ500nmの多結晶シリコン膜62を形成した後、孔60内に金属プラグとしてのNi膜63を埋め込む。

【0174】具体的には、厚さ500nmのSiO₂膜61、厚さ500nmの多結晶シリコン膜62、Ni膜63を全面に順次形成した後、CMP法を用いて孔60外の余剰なSiO₂膜61、多結晶シリコン膜62、Ni膜63を除去する。

【0175】また、Ni膜63は、例えばスクリーン印刷法を用いて孔60内にNiペーストを埋め込んだ後、600℃の熱処理によりNiペーストを焼結することにより形成する。

【0176】次に図23(d)に示すように、周知の方法に従って、ビット線64、第1の配線層65を形成する。

【0177】具体的には、例えばビット線64、第1の配線層65となる厚さ10nmのTi膜、厚さ10nmのTiN膜、厚さ400nmのAlCu膜、厚さ40nmのTiN膜の積層膜を形成した後、この積層膜をフォトリソグラフィとエッチングを用いて加工することにより形成する。

【0178】次に同図(d)に示すように、第2の層間絶縁膜66を形成し、この第2の層間絶縁膜66にヴィアホールを形成した後、プラグ67を介して第1の配線層65と接続する第2の配線層68を形成する。

【0179】第2の配線層68の形成方法は第1の配線層65のそれと同じである。また、プラグ67としては、例えばW膜を用いる。なお、メモリセルの領域の第2の配線層は省略してある。

【0180】次に同図(d)に示すように、第2の配線層68を覆うパッシベーション膜としての厚さ450nmの感光性のポリイミド膜69をプラズマCVD法を用いて形成した後、フォトリソグラフィとエッチングを用いて第2の配線層68上に開孔(パッド孔)を形成する。この後、パッド(不図示)にプローブをあてて、ウェハに形成された各チップについてその良品、不良品の判別を行なうことが望ましい。

【0181】次に図23(e)に示すように、シリコン基板50の裏面を機械的に研磨してNi膜63を露出させる。

【0182】この研磨工程は、シリコン基板50をウェハから切り出した後に行なうことが好ましい。その理由は先に述べたように、ウェハの状態では均一な研磨が困難であるからである。この後、研磨で生じたダメージをウエットエッチングにより除去する。なお、ウェハの表面に浅いスクライブラインを予め入れておき、裏面の研磨によってウェハが薄くなったときに、チップ分割が自動的に行なわれるようになることが好ましい。

【0183】次に図23(f)に示すように、第2の配線層68上にAuボールバンプ70を形成した後、転写法を用いてAuボールバンプ70上に半田71を形成する。このとき、プローブ測定により良品のチップが予め分かっている場合には、その良品のチップのみにAuボールバンプ70を形成することで、歩留まりや生産効率の向上を図ることができる。

【0184】最後に、図24に示すように、半田71(Auボールバンプ70)とNi膜(金属プラグ)63との位置合わせを行なった後、半田71とNi膜(金属プラグ)63とを接続し、シリコン基板50同士を接続することにより、EEPROMのマルチチップ半導体装置が完成する。その後、電気特性評価を行ない、積層したチップに不良がある場合には、ハンダ71をメルト温度まで加熱することで、チップ同士の接続を切断し、不良チップを良品チップと交換する。

【0185】なお、本実施形態では、NAND型EEPROMのマルチチップ半導体装置について説明したが、本実施形態と同様な方法により、NOR型EEPROMのマルチチップ半導体装置、DRAMのマルチチップ半導体装置も製造することができる。さらには、EEPROM、DRAMもしくはその他の半導体メモリまたはこれらの組み合わせと、CPUとから構成されたパソコン用コンピュータ等の情報処理装置のマルチチップ半導体装置も製造することができる。

【0186】

【発明の効果】以上詳述したように本発明(請求項1,2)によれば、少なくとも1つのチップがその半導体基板および層間絶縁膜を貫通する貫通孔内に金属からなる接続プラグが形成された構造を有し、かつこの接続プラグを有するチップが該接続プラグを介して他のチップと

電気的に接続されているので、装置の平面面積が小さく、構造が単純で、かつ厚さが薄いマルチチップ半導体装置を実現できるようになる。

【0187】また、本発明(請求項3~7)では、マルチチップ半導体装置用チップとして、素子が形成された半導体基板と、この半導体基板およびその上に形成された層間絶縁膜を貫通する貫通孔内に形成され、他のチップと電気的に接続するための金属からなる接続プラグとからなる構成のもの用いている。

【0188】したがって、このような構成のマルチチップ半導体装置用チップを用いることにより、本発明(請求項1,2)に係るマルチチップ半導体装置を実現できるようになる。

【0189】また、本発明(請求項8~請求項12)では、層間絶縁膜は貫通するが半導体基板は貫通しない孔を形成した後、裏面から半導体基板を後退させて貫通孔を形成しているので、もとの半導体基板が厚くても貫通孔を容易に形成できる。

【0190】したがって、半導体基板が厚くても、本発明(請求項3~7)に係るマルチチップ半導体装置用チップを容易に形成できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るマルチチップ半導体装置の断面図

【図2】本発明の第2の実施形態に係るマルチチップ半導体装置の断面図

【図3】本発明の第3の実施形態に係るマルチチップ半導体装置の断面図

【図4】本発明の第4の実施形態に係るマルチチップ半導体装置用チップの形成方法を示す前半の工程断面図

【図5】本発明の第4の実施形態に係るマルチチップ半導体装置用チップの形成方法を示す後半の工程断面図

【図6】孔領域の多層配線層の具体的な構造例を示す断面図

【図7】素子領域の多層配線層の具体的な構造例を示す断面図

【図8】貫通プラグを示す断面図

【図9】孔の他の形成方法を示す工程断面図

【図10】金属プラグの他の形成方法を示す断面図

【図11】金属プラグのさらに別の形成方法を示す断面図

【図12】接続プラグの他の形成方法を示す工程断面図

【図13】マルチチップの他の接続構造を示す断面図

【図14】接続プラグのさらに別の方法を示す前半の工程断面図

【図15】接続プラグのさらに別の方法を示す後半の工程断面図

【図16】本発明の第5の実施形態に係るマルチチップ半導体装置用チップの形成方法を示す断面図

【図17】本発明の第6の実施形態に係るマルチチップ

半導体装置の断面図

【図18】本発明の第7の実施形態に係るマルチチップ

半導体装置の断面図

【図19】本発明の第8の実施形態に係るマルチチップ

半導体装置の製造方法を示す図

【図20】本発明の第9の実施形態に係るマルチチップ

半導体装置を示す模式図

【図21】TABテープを用いた従来のマルチチップ半

導体装置を示す模式図

【図22】本発明の第10の実施形態に係るマルチチッ

プ半導体装置の製造方法を示す前半の工程断面図

【図23】本発明の第10の実施形態に係るマルチチッ

プ半導体装置の製造方法を示す後半の工程断面図

【図24】本発明の第10の実施形態に係るマルチチッ

プ半導体装置の製造方法を示す断面図

【図25】従来のマルチチップ半導体装置の断面図

【図26】従来の他のマルチチップ半導体装置の断面図

【図27】従来のさらに別のマルチチップ半導体装置の
断面図

【符号の説明】

1₁, 1₂, 1₃ …チップ

2…シリコン基板

3…多層配線層

4…金属膜（金属プラグ）

5…絶縁膜

6…パッド

7…絶縁膜

7a…絶縁膜

8…半田バンプ（接続部材）

8d…ダミーバンプ

9…積層配線基板（実装部材）

10…シリコン基板

11…第1の層間絶縁膜

11a…第2の層間絶縁膜

11b…第3の層間絶縁膜

11c…第4の層間絶縁膜

11n…第nの層間絶縁膜

12…マスクパターン

12a…マスクパターン

13, 13₁ ~ 13₃ …孔（貫通孔）

14…積層絶縁膜（第1の絶縁膜）

15…金属膜（金属プラグ）

16…多層配線構造

17…パッド

18…SiO₂膜（第2の絶縁膜）

19…金属配線

19a…第1の金属配線

19b…第2の金属配線

20a…第1の金属配線

20b…第2の金属配線

20c…第3の金属配線

21…金属

22…金属シリサイド膜

23…導電ペースト

24…金属粒子

25…シリコン膜

26…金属シリサイド膜

27…シリコン膜

28…N_i粒

29…ニッケルシリサイド膜

30…キャップ膜

31…SOG膜

32…FOX膜

33…パッド

34…金属ボール

35…基板

36…溝

37…金属ボール

38…接着フィルム

39…放熱フィン

40…接着剤

41…絶縁膜

42…ソルダー

43…プラスチックテープ

44…リード端子

45…キャップ金属膜

46…キャップ絶縁膜

47…接続先の部材

50…シリコン基板

51…トンネル酸化膜

52_F…浮遊ゲート電極53_C…制御ゲート電極

53…ゲート電極間絶縁膜

54…ソース拡散層

55…ドレイン拡散層

56…第1の層間絶縁膜

57…Ti·TiN積層膜

58…Wビット線プラグ

59…マスクパターン

60…孔

61…SiO₂膜

62…多結晶シリコン膜

63…N_i膜

64…ビット線

65…第1の配線層

66…第2の層間絶縁膜

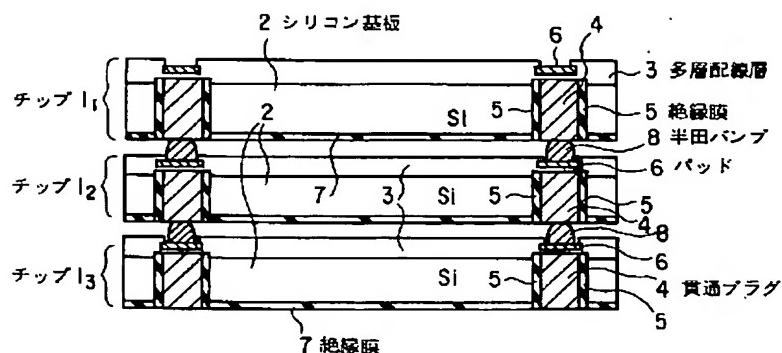
67…プラグ

68…第2の配線層

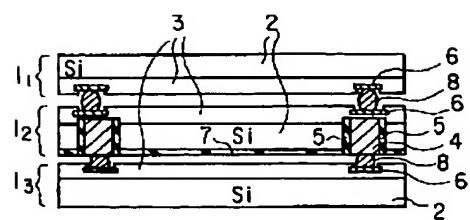
69…ポリイミド膜

70…Auボールバンプ

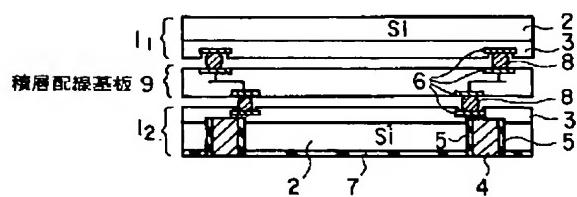
【図1】



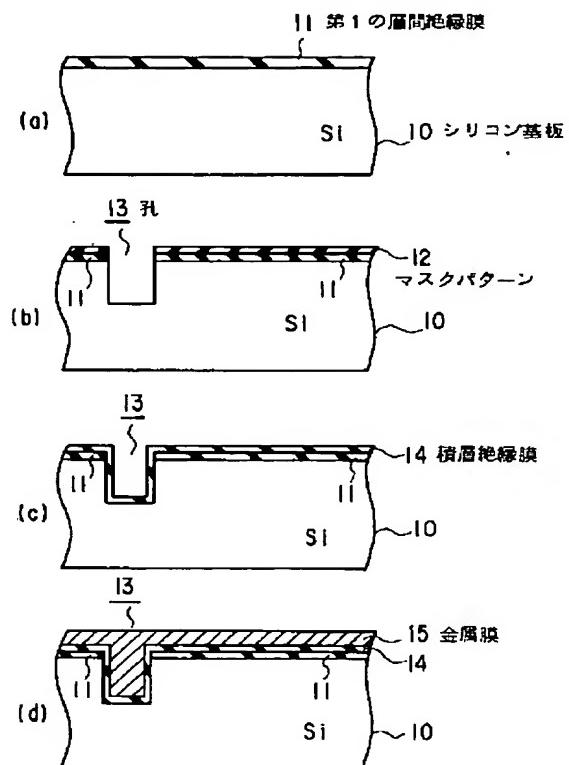
【図2】



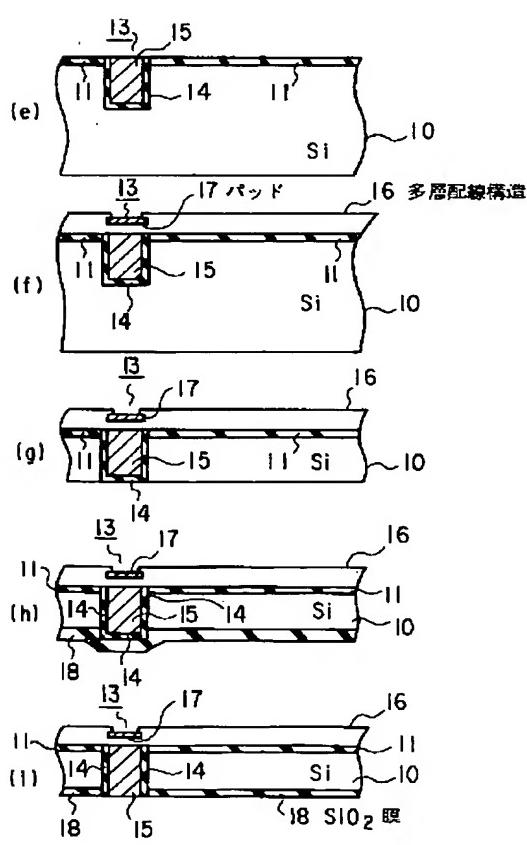
【図3】



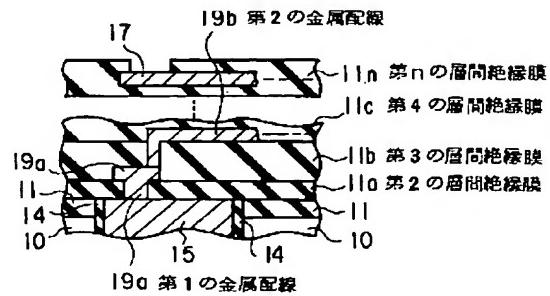
【図4】



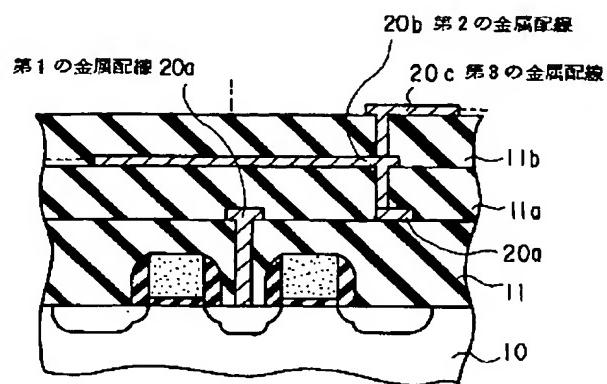
【図5】



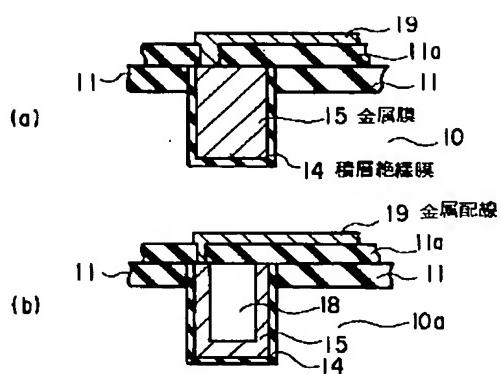
【図6】



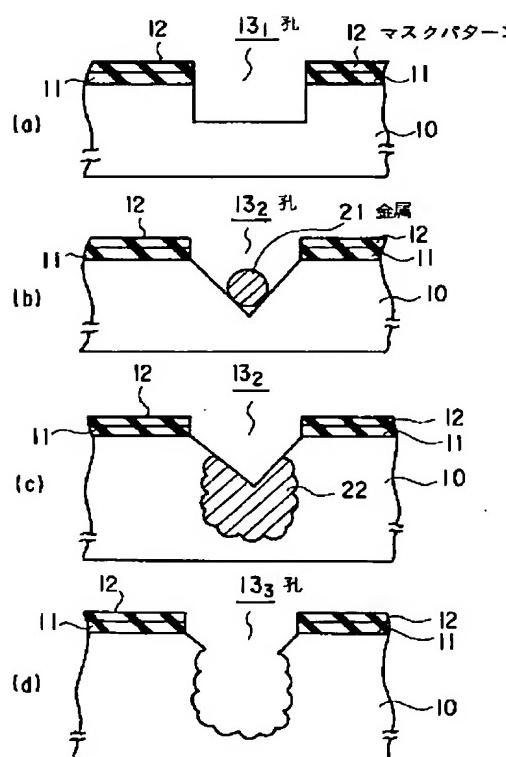
【図7】



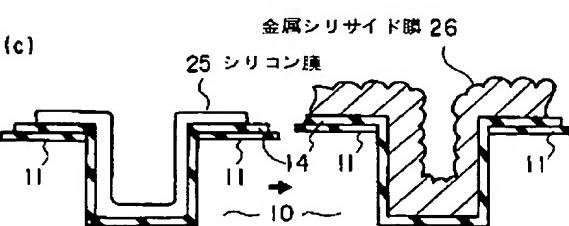
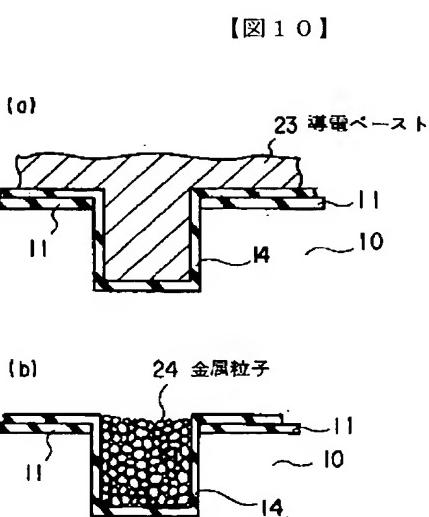
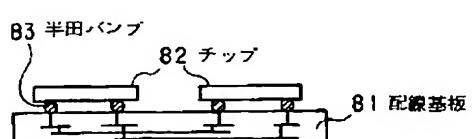
【図8】



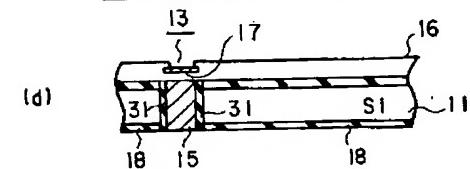
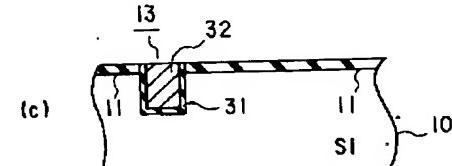
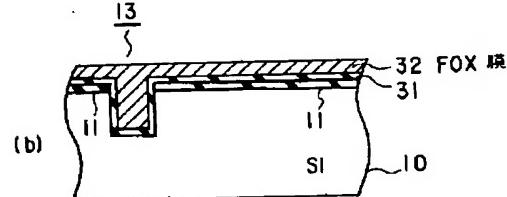
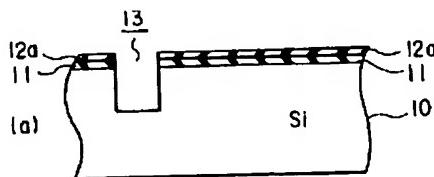
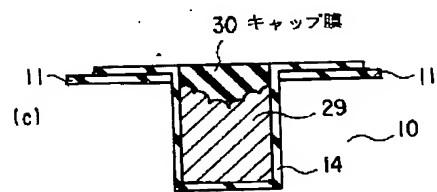
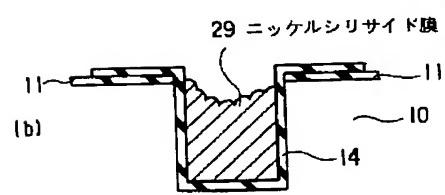
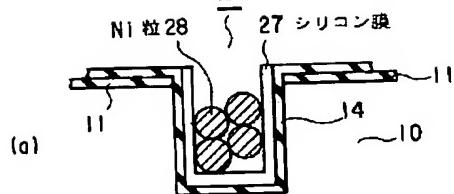
【図9】



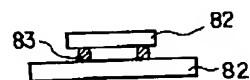
【図25】



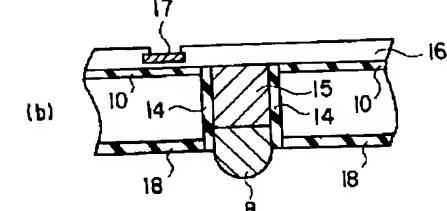
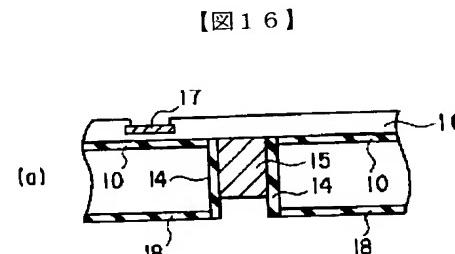
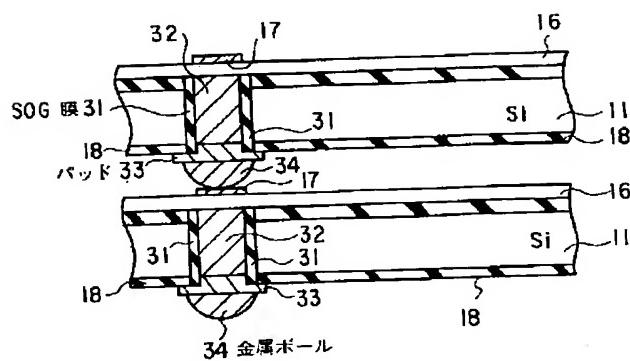
【図11】



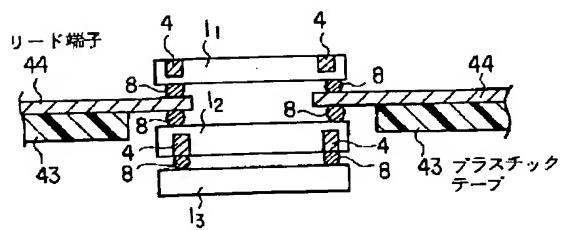
【図26】



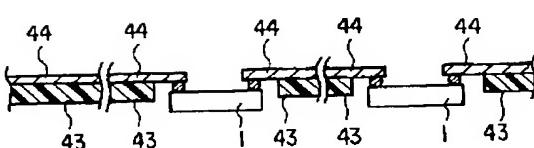
【図13】



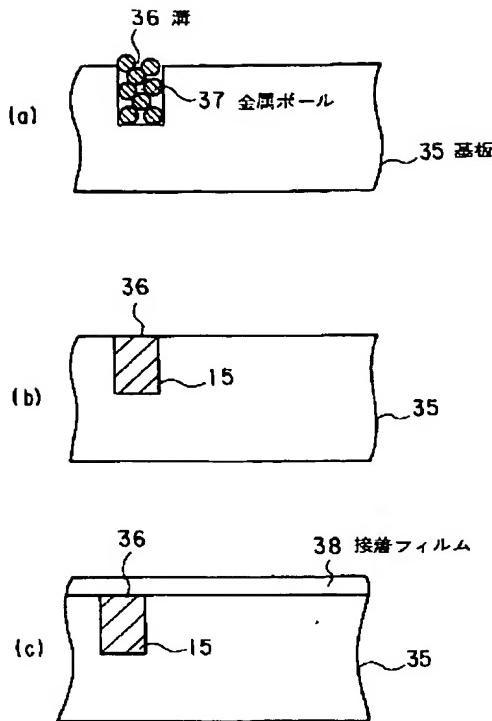
【図20】



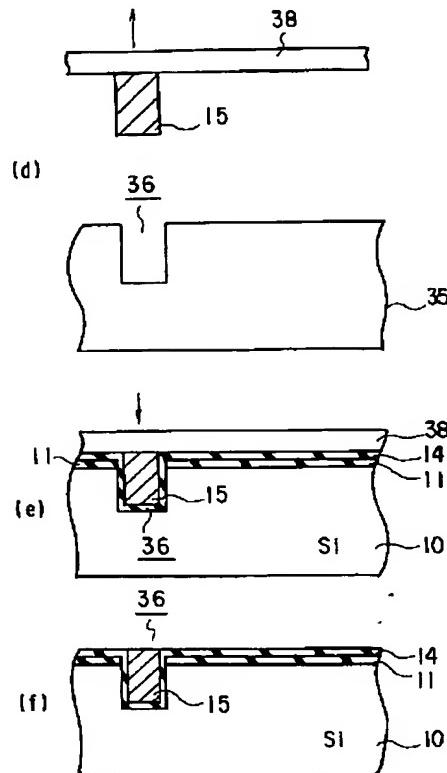
【図21】



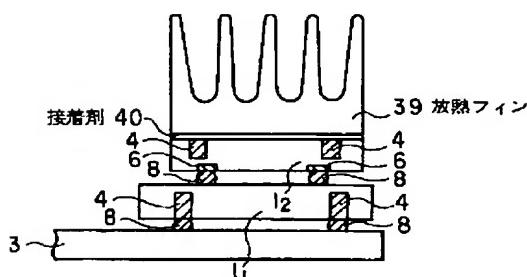
【図14】



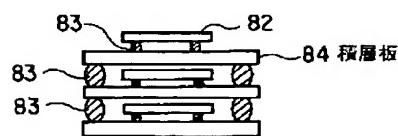
【図15】



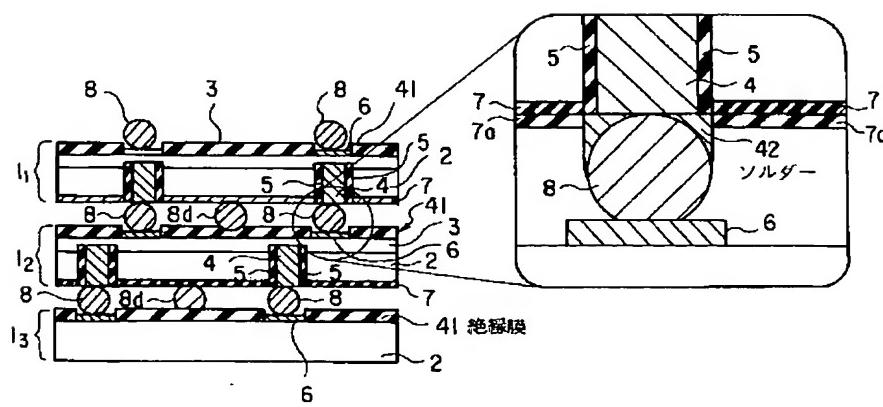
【図17】



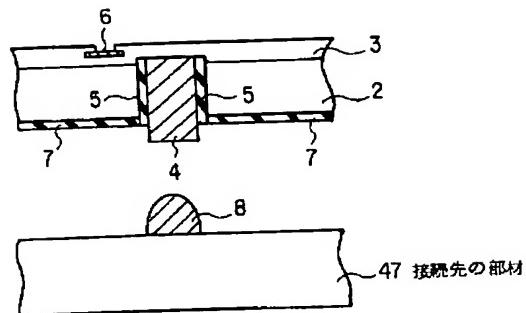
【図27】



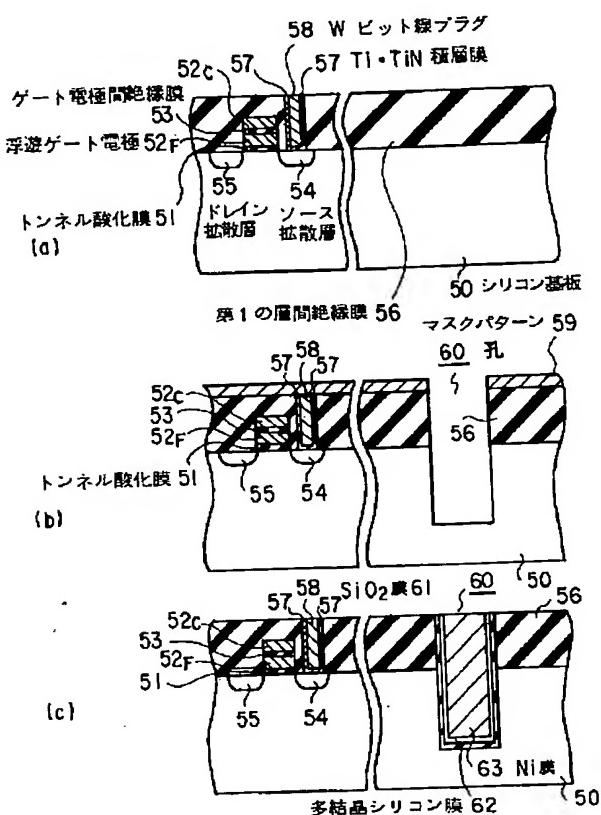
【図18】



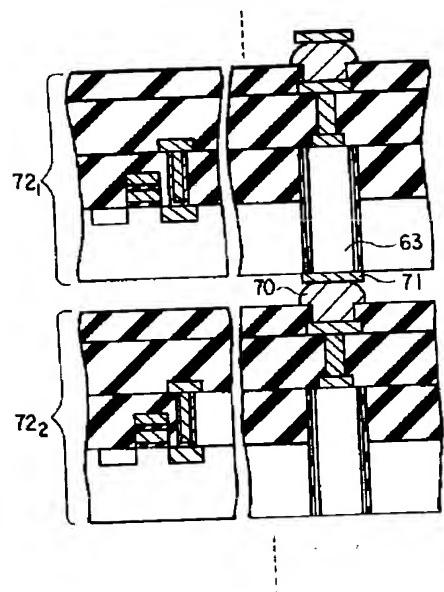
【図19】



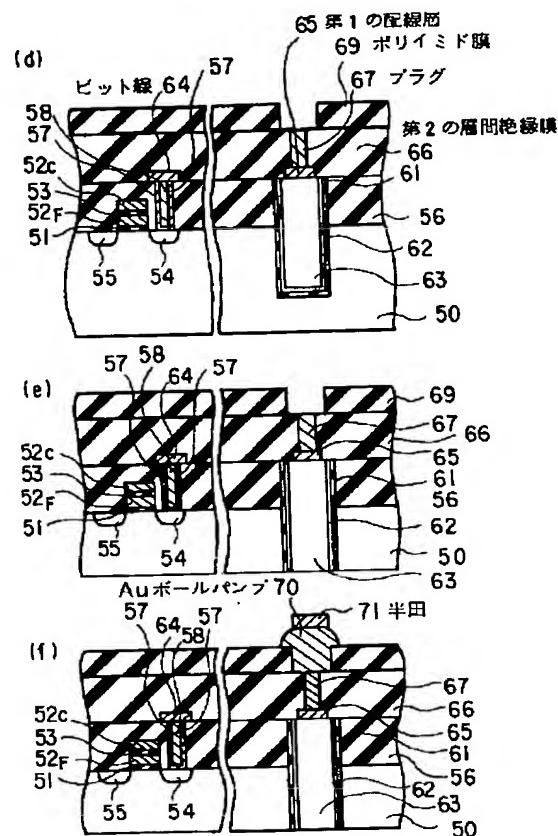
【図22】



【図24】



【図23】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.